

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-272940

(43)Date of publication of application : 05.10.2001

(51)Int.CI.

G09G 3/20

G02F 1/133

G09G 3/28

G09G 3/36

(21)Application number : 2001-036814

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.06.1991

(72)Inventor : IMAMURA YOICHI

(30)Priority

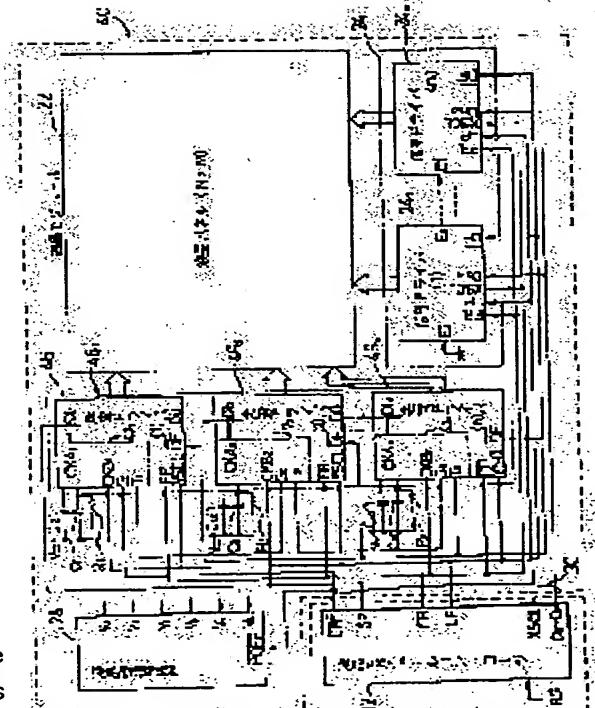
Priority number : 02159416 Priority date : 18.06.1990 Priority country : JP

(54) DISPLAY CONTROLLER AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flat display device capable of preventing the degradation of a display characteristic due to the DC drive of a display panel or the like caused by the abnormality of a signal which is to be supplied from a display control part side.

SOLUTION: Signal management parts 471 to 47n of respective scanning drivers LSIs are cascaded and they have same constitution. The signal to be detected of a control part 471 is a data signal latching clock LP to be impressed on a terminal CKB1 and the signal to be detected of the control part 472 is a frame starting signal SP to be impressed on a terminal CKB2 and the signal to be detected of the control part 47n is an alternating clock FR to be impressed on a terminal CKBn. The control part 471 has a sequence processing circuit 51 consisting of a signal stoppage detecting circuit 48 detecting the stoppage of the signal to be detected, a signal delaying circuit 49 and a logical circuit 50. When the oscillation of the signal SP is stopped, outputs T1 to Tn of the circuit 51 are changed to L levels and display off signals the inverse of DFs become L levels and a liquid crystal display panel is set forcibly to a display off mode. Thus, even when the signal SP is stopped by some cause since a liquid crystal impression voltage is fallen to zero, the DC drive of liquid crystal can be avoided and the degradation of the liquid crystal panel or the like are prevented.



LEGAL STATUS

[Date of request for examination] 16.03.2001
[Date of sending the examiner's decision of rejection] 05.03.2002
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number] 3665575
[Date of registration] 08.04.2005
[Number of appeal against examiner's decision of
rejection] 2002-05826
[Date of requesting appeal against examiner's decision
of rejection] 04.04.2002
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Separation arrangement of the flat display object module section and the display and control section which controls it is carried out. These flat display object module sections are a flat display object and the flat display which has the display object driving means which drives this, and it has a signal supervisory control means. This signal supervisory control means The flat display characterized by having a signal detection means to detect the abnormal occurrence of the 1st signal transmitted from this display and control section side, and the sequence processing means which carries out modification processing of the signal aspect by the side of this flat display module section based on the detecting signal.

[Claim 2] It is the flat display characterized by coming to prepare said signal supervisory control means in said flat display object module section side in claim 1.

[Claim 3] It is the flat display which said signal-detection means is a signal halt detection means detect a halt of said 1st signal, in claim 1 or 2, and is characterized by for said sequence processing means to be a forcible stop control means which carries out setting control of the display object applied voltage which should be supplied to said flat display object of said display object driving means based on the output of this signal halt detection means at zero.

[Claim 4] It is the flat display characterized by having the 1st signal delay means which delays the 2nd signal to which said forcible stop control means is transmitted from said display and control section side with the output of said signal halt detection means in claim 3.

[Claim 5] It is the flat display characterized by having the control terminal of the 3rd signal with which said forcible stop control means should control sending out of the output in claim 4.

[Claim 6] The flat display characterized by the classes of detecting signal-ed which makes n a positive integer, has said n signal supervisory control means in claim 5, and should be inputted into each signal supervisory control means as said 1st signal differing, respectively.

[Claim 7] The flat display characterized by making the control output of said k-th signal supervisory control means into the 3rd signal of said k+1st signal supervisory control means, and controlling display ON / OFF of said said display object driving means by k= 1, ..., n-1 in claim 6 based on the control output of said n-th signal supervisory control means.

[Claim 8] When a frame start signal is inputted into said 1st signal delay means as said 2nd signal in claim 4 thru/or any 1 term of 7 and N is made into a positive integer, it is the flat display characterized by being the D flip-flop of N stage in which set-reset is possible based on the output of said signal halt detection means.

[Claim 9] The flat display characterized by having a power control means to control the power-on/OFF of a display object power-source means by which display object driver voltage should be generated based on the output and the 4th signal of said signal halt detection means, in claim 7 or the 8th term, in said flat display object module section side.

[Claim 10] It is the flat display characterized by having the 2nd signal delay means which delays the 2nd signal to which said power control means is transmitted from said display and control section side with the output of said signal halt detection means in claim 9.

[Claim 11] When a frame start signal is inputted into said 2nd signal delay means as said 2nd signal in claim 10 and M is made into a positive integer, it is the flat display characterized by being the D flip-flop of M (<N) stage in which set-reset is possible based on the output of said signal halt detection means.

[Claim 12] It is the flat display characterized by said flat display object being a liquid crystal display panel in claim 1 thru/or any 1 term of 11.

[Claim 13] It is the flat display characterized by said flat display object being a plasma display panel in claim 1 thru/or any 1 term of 11.

[Claim 14] The display object driving gear which characterizes by to have a signal supervisory control means including a signal-detection means detect the abnormal occurrence of the 1st signal transmitted from this display and control section side in the display object driving gear which is formed in a flat display object module section side, and supplies electric power in display object driver voltage to a flat display object based on the various signals from a display and control section, and the sequence processing means which carry out the modification processing of the signal aspect by the side of the flat display object module section based on the detection output.

[Claim 15] It is the display object driving gear which said signal detection means is a signal halt detection means to detect a halt of said 1st signal, in claim 14, and is characterized by said sequence processing means being a forcible stop control means which carries out setting control of the display object applied voltage which should be supplied to said flat display object based on the output of this signal halt detection means at zero.

[Claim 16] It is the display object driving gear characterized by having the 1st signal delay means which delays the 2nd signal to which said forcible stop control means is transmitted from said display and control section side with the output of said signal halt detection means in claim 15.

[Claim 17] It is the display object driving gear characterized by having the input terminal of the 3rd signal with which said forcible stop control means should control sending out of the output in claim 16.

[Claim 18] When a frame start signal is inputted into said signal delay means as said 2nd signal in claim 17 and N is made into a positive integer, it is the display object driving gear characterized by being the D flip-flop of N stage in which set-reset is possible based on the output of said signal halt detection means.

[Claim 19] claim 15 thru/or any 1 ***** of 18 -- the display object driving gear characterized by said signal management tool having a power control means to control the power-on/OFF of a display object power-source means by which display object driver voltage should be generated based on the output and the 4th signal of said signal halt detection means.

[Claim 20] It is the display object driving gear characterized by having the 2nd signal delay means which delays the 2nd signal to which said power control means is transmitted from said display and control section side with the output of said signal halt detection means in claim 19.

[Claim 21] When a frame start signal is inputted into said 2nd signal delay means as said 2nd signal in claim 20 and M is made into a positive integer, it is the display object driving gear characterized by being the D flip-flop of M (<N) stage in which set-reset is possible based on the output of said signal halt detection means.

[Claim 22] The display object driving gear characterized by said display object driving gear being a liquid crystal driving gear which drives a liquid crystal display panel in claim 14 thru/or any 1 term of 21.

[Claim 23] It is the display object driving gear characterized by said liquid crystal driving gear being a semiconductor integrated circuit in claim 22.

[Claim 24] It is the display object driving gear characterized by said semiconductor integrated circuit being Y driver in claim 23.

[Claim 25] It is the display object driving gear characterized by said Y driver being a scan driver of a passive-matrix liquid crystal display in claim 24.

[Claim 26] It is the display object driving gear characterized by said Y driver being a gate driver of an active-matrix liquid crystal display in claim 24.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the signal management technique by the side of the display object module section in the flat indicating equipment with which the display object module section and the display and control section which controls that display have the gestalt by which separation arrangement was carried out further at a detail about flat displays and the application equipments of those, such as a liquid crystal display (LCD) and a plasma display panel (PDP).

[0002]

[Description of the Prior Art] It be the separated arrangement configuration which consist of a liquid crystal display control section 10 built in the body side of equipment, and the liquid crystal display module section 20 of the shape of a flat established inside the closing motion lid as a large-sized liquid crystal display be show in drawing 9 R> 9 while a portable mold personal computer, a word processor, etc. which be call the so-called laptop type generally have the flat display section of a closing motion type and be conventionally carry in they. The liquid crystal display control section 10 has the liquid crystal module controller 12 and the microprocessor unit (MPU) which is not illustrated, and this liquid crystal module controller 12 supplies various kinds of control signals and clock signals to the liquid crystal display module section 20 side.

[0003] the signal-electrode drive circuit (X driver) 24 and the scan electrode drive circuit (Y driver) 26 where TAB mounting of the liquid crystal display module section 20 was carried out to the circumference (frame) field of the liquid crystal display panel (matrix liquid crystal display component) 22 of a passive-matrix mold, and this panel 22, and high-pressure liquid crystal driver voltage (reference voltage) V0 – V5 It has the liquid crystal power circuit 28 to generate. The signal-electrode drive circuits 24 are two or more signal-electrode driver semiconductor integrated circuits 241. -24m It is constituted as cascade connection, for example, a driver output is supplied the screen of every one line to M totals of a signal electrode. Namely, when it is incorporated one after another by the shift register in the signal-electrode drive circuit 24 and the signal for the screen of one line (M bits) is incorporated with the pixel clock (shift clock pulse) XSCL, by the scanning-line synchronizing signal YSCL (data signal latch clock LP), the data signal in a shift register is sent to a data latch circuit in juxtaposition, and, as for data signals D0-D7, direct and the parallel conversion of a data signal are performed. In the data latch circuit, the signal level for one line is held over one scan period, and the driver output voltage with which the selection switching circuit was connected to the signal electrode based on the signal level is set to either selection or the condition of not choosing. The alternating current-ized clock FR is a clock which uses each above-mentioned electrical potential difference as an alternating current wave

form, in order to prevent degradation of the liquid crystal device by direct-current drive. The compulsive blank status signal DF (bar) is a signal for making a liquid crystal screen into a blank display condition compulsorily. The scan electrode drive circuits 26 are two or more scan electrode driver semiconductor integrated circuits 261. -26n It operates so that it is constituted as cascade connection, for example, a selection electrical potential difference may be given only to one and a non-choosing electrical potential difference may be given to the scan electrode of other books (N-1) among scan electrode total N books. 1 scanning-line period begins by the scan start pulse (frame start signal) SP -- having -- Iriki of the scanning-line synchronizing signal YSCL (data signal latch clock LP) -- whenever it carries out, a selection electrical potential difference is impressed to the scan electrode of the Nth line one after another from the scan electrode of the 1st line (line ranking display). moreover, two or more liquid crystal driver voltages V0 as which the selecting switch of the signal-electrode drive circuit 24 and the scan electrode drive circuit 26 should choose the liquid crystal power circuit 28 arranged at the liquid crystal display module section 20 side - V5 It generates and is set as power-on/OFF state by the compulsive blank status signal DF (bar).

[0004]

[Problem(s) to be Solved by the Invention] By the way, generally the liquid crystal display control section 10 built in the body side of equipment and the liquid crystal display module section 20 of the shape of a flat established inside the closing motion lid are connected by the flexible cable 30 through the moving part of hinge association. Therefore, whenever the closing motion lid by the side of the flat-like liquid crystal display module section 20 is opened and closed, cable 30 the very thing is crooked, and it is surely easy to invite damage or an open circuit of the signal line of a cable 30 from a physical factor. When some signal lines are disconnected, in the condition [that direct current voltage (dc component) is impressed, for example to the liquid crystal display panel 22], the situation by which an alternating current drive is not carried out occurs, compared with other components, it is expensive; and degradation of the difficult liquid crystal display panel 22 of exchange may be caused. Such liquid crystal degradation is the inhibition factor of a life or display quality, and is a problem important for the display unit which makes visibility the keynote.

[0005] As a signal which may cause direct-current drive degradation of the liquid crystal display panel 22 among the signals supplied here from the liquid crystal module controller 12 at the liquid crystal display module section 20 side, they are the scan start pulse SP, the scanning-line synchronizing signal YSCL (data signal latch clock LP), the alternating current-ized clock FR, and the logic side supply voltage VCC. Moreover, even when a certain abnormalities of operation occur to the liquid crystal module controller 12 and a microprocessor unit (MPU), the abnormalities of each above-mentioned signal are caused and there is also a possibility that the same situation as **** may occur.

[0006] By the way, if it elaborates on the problem of a direct-current drive of such a liquid crystal display object, it is generalizable on the problem of the abnormalities in a signal by the side of the liquid crystal module section. Moreover, when flat TV JON is assumed, since a display and control section and a display panel are in remote arrangement, the problem of display quality degradation is also raised also for a halt of a signal with last thing by attenuation of signal level, etc. and the effect of a noise.

Moreover, also not only in a liquid crystal display but in a plasma display, it becomes a problem.

[0007] Then, it is in offering the flat display and display object driving gear of the display panel resulting from the abnormalities of the signal supplied to a display object module section side from a display and control section side in view of an above-mentioned trouble as a technical problem of this invention which can prevent display property degradation by direct-current drive etc.

[0008]

[Means for Solving the Problem] In the flat indicating equipment with which separation arrangement of the display object module section and the display and control section which controls the display was generally carried out, although a display object module side follows a control signal etc. from a display and control section and passive actuation is performed, in this invention, the autonomous signal system

which has a signal supervisory control means is adopted. Although all the components of this signal supervisory control means can also be prepared in a display object module section side, assignment arrangement can also be carried out a display object module section side at a display and control section.

[0009] Such a signal supervisory control means is considered as the configuration which has a signal detection means to detect the abnormal occurrence of the 1st signal transmitted from a display and control section side, and the sequence processing means which carries out modification processing of the signal aspect by the side of the display object module section based on the output. Although the abnormalities of a signal point out a halt of a signal, reduction of the logic amplitude, interference, etc., a halt of a signal is mentioned as a typical example. Moreover, as a flat indicating equipment, a liquid crystal display and plasma display equipment can be mentioned. It is a signal halt detection means to detect a halt of the 1st signal as a concrete configuration of a signal detection means, and a sequence processing means is a forcible stop control means which carries out setting control of the display object applied voltage which should be supplied to the display object panel of a display object driving means based on the output at zero. This will be detected by the signal halt detection means if the 1st signal stops by the display object module side. A forcible stop control means controls a display object driving means by this, and, as for the driving means, display object applied voltage is set as zero. Therefore, since the direct-current drive of display objects, such as liquid crystal, is avoided even when the 1st signal of a clock etc. stops, degradation of a display property can be prevented.

[0010] Furthermore, it has the 1st signal delay means which delays the 2nd signal transmitted from a display and control section side with the output of a signal halt detection means as a concrete forcible stop control means, and a configuration which controls display ON / OFF of a display object driving means based on the output can be adopted. According to this configuration, of course, the display of a liquid crystal panel can be promptly set as an OFF state according to generating of a detecting signal, but when the 1st signal is resumed, the condition of the display ON in the time does not carry out a restart, but after the predetermined time amount on which it decides on the basis of the period of the 2nd signal passes, setting control of the display object driving means is carried out at a display ON state. The control system of such a time difference display object driving means can prevent the abnormality drive by the powerfail by which induction is carried out from a rushes current, and can attain mitigation of a power-source load, and simplification of a power circuit.

[0011] As for this signal delay means, it is desirable for a frame start signal to be inputted as the 2nd signal, and to consider as the D flip-flop of the set-reset N stage based on the output of a detection means. The time delay in this case is determined considering a frame period as a unit. The configuration which arranges more than one can also adopt a signal supervisory control means as a liquid crystal module side. In this case, a halt of two or more kinds of signals is detectable at coincidence. And cascade connection of two or more signal supervisory control means can be carried out by preparing the control terminal of the 3rd signal which controls the output to a forcible stop control means. In this case, when one of detecting signals-ed stops, it becomes controllable [the display OFF to a display object driving means].

[0012] In order to prevent degradation of the display object by the abnormality drive based on the further rushes current, it is desirable to form a power control means to control the power-on/OFF of a display object power-source means by which display object driver voltage should be generated in a display object module section side. This power control means controls the power-on/OFF of a display object power-source means corresponding to the output of a detection means. After the manifestation of the 1st signal is checked by the display object module section side by doing in this way, a display object power-source means becomes power-on.

[0013] It has the 2nd signal delay means which delays the 2nd signal transmitted from a display and control section side with the output of a detection means as a concrete power control means, and a configuration which controls the power-on/OFF of a display object power-source means based on the

output can be adopted. According to this configuration, the output of the 1st signal is checked, and after the predetermined time amount on which it decides on the basis of the period of the 2nd signal passes, a display object power-source means is energized. For this reason, the direct-current drive of the liquid crystal at the time of the first stage can be prevented.

[0014] And display ON / off signal is inputted into a power control means as the 2nd signal, and in being the D flip-flop of M (<N) stage as for which set-reset is carried out by the output of a detection means, after a display object power-source means is energized, a display object driving means will be in a display ON state. This also contributes to mitigation of a rushes current. However, M and N are positive integers.

[0015] Although the signal supervisory control means concerning the above configurations is formed in the glass substrate by the side of the display object module section etc., it is incorporable into the circuit of the display object driving gear mounted in a display object module section side. That is, it is realizable as a display object driving means with signal supervisory control. Although the conventional display object driving means is constituted as a driver LSI, such a display object driving means with signal supervisory control can also be constituted as a semiconductor integrated circuit. Among Drivers LSI, if it takes into consideration that there are few numbers of I/O wiring as compared with the X driver LSI, as for the Y driver LSI, it is advantageous to consider as Y driver as a driver LSI with signal supervisory control. Moreover, although a liquid crystal display can be divided roughly into a passive matrix and an active matrix, as for the driver LSI with this signal supervisory control, it is desirable to consider as a scan driver or a gate driver.

[0016]

[Embodiment of the Invention]

[Example 1] Drawing 1 is the block diagram showing the whole liquid crystal display configuration concerning the example 1 of this invention. In addition, the same reference mark is given to the same part as the part shown in drawing 9 in drawing 1, and the explanation is omitted.

[0017] scan driver semiconductor integrated circuit (LSI) 461 which constitutes the scan electrode driver circuit (Y driver) 46 of the liquid crystal display module section 40 in this example – it has 46n of signal supervisory control sections 47.

[0018] 1st scan driver semiconductor integrated circuit 461 Signal supervisory control section 471 A halt of the scanning-line synchronizing signal YSCL (data signal latch clock LP) impressed to a terminal CKB1 is detected. 2nd scan driver semiconductor integrated circuit 462 Signal supervisory control section 472 A halt of the scan start pulse (frame start signal) SP impressed to a terminal CKB2 is detected. 46n of n-th (for example, the 3rd) scan driver semiconductor integrated circuit 47n of signal supervisory control sections A halt of the alternating current-ized clock FR impressed to Terminal CKBn is detected. each signal supervisory control section 471 – 47n Signal halt detection control terminal S1 – Sn And signal halt detection terminal T1 – Tn It has. 1st scan driver semiconductor integrated circuit 461 Signal halt detection control terminal S1 of the signal supervisory control section 471 **** -- the compulsive blank status signal DFF (bar) of a high-level electrical potential difference usually supplies from a control circuit 10 side -- having -- the signal halt detection terminal T1 2nd scan driver semiconductor integrated circuit 462 The signal supervisory control section 472 Signal halt detection control terminal S2 It connects. Moreover, 2nd scan driver semiconductor integrated circuit 462 Signal supervisory control section 472 Signal halt detection terminal T2 It connects with the signal halt detection terminal (for example, the signal halt detection control terminal Sn of 47n [of signal supervisory control sections of ** a n-th]) of the next step. 47n of and n-th signal supervisory control section Signal halt detection terminal Tn Scan driver 461 –46n And signal driver 241 It connects with the compulsive blank control terminal DF (bar) which is -24n.

[0019] The signal supervisory control section 471 of each scan driver -47n As shown in drawing 2 , cascade connection is carried out, and it is each signal supervisory control section 471. -47n The configuration is the same. Signal supervisory control section 471 A detecting signal-ed is a terminal

CKB1. The data signal latch clock LP impressed, the signal supervisory control section 472 A detecting signal-ed is a terminal CKB2. It is the scan start pulse (frame start signal) SP impressed, and is 47n of signal supervisory control sections. A detecting signal-ed is Terminal CKBn. It is the alternating current-ized clock FR impressed.

[0020] Here, it is the signal supervisory control section 471. Its attention is paid and the configuration is explained. Signal supervisory control section 471 It has the sequence processing circuit 51 which consists of a signal halt detector 48, and the signal delay circuit 49 and logical circuit 50 as a signal detection means to detect a halt of a detecting signal-ed.

[0021] The signal halt detector 48 With the latch clock LP as a detecting signal-ed 1st N-channel MOS transistor Tr1 which switches and constitutes the transfer gate With the opposite phase signal of the inverter INV1 which reverses the phase of the latch clock LP, and its latch clock LP 2nd N-channel MOS transistor Tr2 which switches and constitutes the transfer gate 1st N-channel MOS transistor Tr1 By the switching action The 1st capacitor C11, the 2nd N-channel MOS transistor Tr2 which carry out charge and discharge By the switching action the 2nd capacitor C12 which carries out charge and discharge, the discharge resistance R1 which discharges the charge of this capacitor C12, and inverter INV2 which compares the charge electrical potential difference and threshold VTH of the 2nd capacitor C12, and outputs a charge level judging signal from -- it is constituted. 1st N-channel MOS transistor Tr1 Inverter INV1 And 2nd N-channel MOS transistor Tr2 The serial exclusive keying circuit is constituted. And 1st N-channel MOS transistor Tr1 The alternative charge switch to the 1st capacitor C11 is constituted, and it is the 2nd N-channel MOS transistor Tr2. The alternative charge switch which carries out the distribution transfer of the charge of the 1st capacitor C11 to the 2nd capacitor C12 is constituted.

[0022] The signal delay circuit 49 is an inverter INV2. D-type-flip-flop 49a which has the reset terminal R (bar) connected to the output, and the grounded input terminal D (bar), and sets frame start signal SP to clocked into CK; Inverter INV2 It has the input terminal D (bar) connected to the output Q (bar) of the reset terminal R (bar) connected to the output, and flip-flop 49a, and consists of D-type-flip-flop 49b which makes frame start signal SP clocked into. The logical circuit 50 consists of AND circuit AND which considers Q output of the compulsive blank signal DFF (bar) from a control circuit 10, and flip-flop 49b as two inputs.

[0023] Drawing 3 is the scan driver 461. Signal supervisory control section 471 It is the circuit diagram showing the usual scan electrode drive circuit (Boolean part) to remove. the scan electrode drive cels 4611 and 4612 of the many bits which impress an electrical potential difference to this Boolean part with line ranking corresponding to many scan electrodes ... is made in the shape of an array. The scan electrode drive cels (the 1st bit and the 2nd bit) 4611 and 4612 and the circumference circuit of those are shown by drawing 3.

[0024] When that configuration is explained here paying attention to the scan electrode drive cel 4611, this scan electrode drive cel 4611 D-type-flip-flop 46a in the shift register which starts by frame start signal SP and transmits the frame start signal SP to the next step for every Iriki of the scan synchronizing signal YSCL, the bit-select output Q -- scan driver 46n of ** a n-th Terminal Tn from -- with line unit compulsion blank display-control circuit 46b which considers and carries out logical operation of the compulsive blank status signal DF (bar) supplied Line unit electrical-potential-difference level shift circuit 46c which changes the output into the logic amplitude of a high-voltage system from logic system supply voltage (VCC=5v), The 46d of the total line compulsion blank display-control circuits which consider and carry out logical operation of the compulsive blank status signal DF (bar) to the alternating current-ized clock FR, Electrical-potential-difference level shift circuit 46e for alternating current-ized clocks which changes the alternating current-ized clock FR into the high-pressure alternating current-ized clock FRH with the logic amplitude of a high-voltage system from logic system supply voltage (VCC=5v), The high-pressure alternating current-ized clock FRH High-pressure alternating current-ized clock FRH of opposition (bar) 46f of forward reverse 2 phase clock generation

circuits to reverse, high-pressure alternating current-ized clock FRH High-pressure alternating current-ized clock FRH of opposition (bar) the ****-combination from a pair and the pair of the outputs O and O (bar) of line unit electrical-potential-difference level shift circuit 46c -- four selection-control signals C1 - C4 With 46g of selection-control signal generation circuits to generate Each selection-control signal C1 C2 C3 C4 Scan electrode driver voltage V5 V1 V0 V4 It consists of 46h of selecting switches which carry out transfer supply to a scan electrode alternatively. Here, line unit compulsion blank display-control circuit 46b and the 46d of the total line compulsion blank display-control circuits constitute the compulsive blank display-control circuit. In addition, INV3 It is the inverter with which logic is doubled to line unit compulsion blank display-control circuit 46b of the compulsive blank display-control signal DF (bar).

[0025] Next, it explains, also referring to drawing 4 about actuation of this example. a time -- t0 If it sets and the logic power source VCC of a liquid crystal display is switched on, as usual, the reset signal of the pulse width for several microseconds - several ms will be supplied to the power-on-reset terminal RS of the liquid crystal module controller 12 from the MPU (not shown) side, and the liquid crystal module controller 12 will be initialized. Generally the various signals outputted from the liquid crystal module controller 12 are in a idle state during this initialization period. since the compulsive blank status signal DFF (bar) is low-battery level (L level is called hereafter) in this period -- the liquid crystal power circuit 28 -- the condition of power-off -- it is -- liquid crystal drive supply voltage V0 - V5 It is in the condition of not generating. Therefore, in this initialization period, a dc component is not impressed by liquid crystal inter-electrode, but degradation of a liquid crystal device is prevented.

[0026] when this period passes, it is shown in drawing 4 -- as -- a time -- t1 The compulsive blank status signal DFF (bar) changes from L level to high-voltage level (H level is called hereafter), and the liquid crystal module controller 12 generates frame start signal SP, the data signal latch clock LP, and the alternating current-ized clock FR. here -- first -- scan driver 461 The signal supervisory control section 471 if actuation is explained -- input terminal CKA1 of the signal delay circuit 49 **** -- frame start signal SP supplies -- having -- moreover, detection terminal CKB1 of the signal halt detector 48 **** -- the data signal latch clock LP is supplied.

[0027] It sets at H level period of the data signal latch clock LP, and is the transistor Tr1 of the signal halt detector 48. It is a transistor Tr2 at an ON state. It is in an OFF state. Therefore, a capacitor C11 is charged in this period. It sets at L level period of the data signal latch clock LP, and is the transistor Tr2 of the signal halt detector 48. It is a transistor Tr1 at an ON state. It is in an OFF state. Therefore, in this period, import charge of some charges charged by the capacitor C11 is carried out to a capacitor C12. since the repeat pulse of the data signal latch clock LP follows on generating and the charge electrical potential difference of a capacitor C12 increases -- inverter INV2 input voltage -- below the threshold VTH -- becoming -- a time -- t2 Inverter INV2 Output INVOUT It is set to H level. a time -- t2 before -- setting -- inverter INV2 Output INVOUT since it is L level -- the output Q of D-flip-flop 49a of the signal delay circuit 49 -- L level -- it is -- this sake -- output T1 of a logical circuit 50 It is L level. here -- output INVOUT even if set to H level -- the time -- t2 **** -- an output Q is not set to H level. an output Q is maintained on L level between frame start signal SP's 1 frame period (TF) - 2 frame periods (2TF) by the delay memory action of the input signal of D flip-flop 49b and 49a -- having -- **** -- a time -- t3 -- output T1 of a logical circuit 50 It is set to H level.

[0028] scan driver 462 The signal supervisory control section 472 which can be set Signal halt detector 482 Detection terminal CKB2 **** -- frame start signal SP supplies -- having -- moreover, input terminal CKA2 of the signal delay circuit 492 **** -- scan driver 461 Cascade input DI 2 which comes from the cascade output terminal DO Frame start signal SP is supplied. And scan driver 461 The output T1 of a logical circuit 50 is the scan driver 462. Cascade connection is carried out to the logical circuit 50. Signal halt detector 482 A capacitor C21 is charged by frame start signal SP's repeat pulse. moreover -- the same -- scan driver 46n 47n of signal supervisory control sections which can be set 48n of signal halt detectors Detection terminal CKBn **** -- input terminal CKAn which the alternating

current-ized signal FR is supplied and is 49n of signal delay circuits **** -- scan driver 462 Cascade input DIn which comes from the cascade output terminal DO Frame start signal SP is supplied. And scan driver 462 Output T2 of a logical circuit 50 Scan driver 46n Cascade connection is carried out to the logical circuit 50. 48n of signal halt detectors A capacitor Cn2 is charged by the repeat pulse of the alternating current-ized signal FR. since the data signal latch clock LP as a detecting signal-ed and frame start signal SP differ from the period and duty ratio of the alternating current-ized signal FR -- each scan driver -- setting -- inverter INV1 - in order to make t3 etc. in agreement at the comparison test time of INVn -- capacitors C11-Cn1, C12-Cn2, and discharge resistance R1 - Rn What mutual adjustment of a value (time constant) is enabled for is desirable. Therefore, in this example, as shown in drawing 1, the external capacitor and the connection external terminal of resistance are prepared in the scan driver.

[0029] thus, the injection time of the logic power source VCC -- t0 from -- outputs T1-Tn of a logical circuit the time of being set to H level -- t3 up to -- a period -- setting -- the forced-display blank control terminal DF of each scan driver and a signal driver (bar) -- output Tn of L level Since it is supplied, the liquid crystal display panel 22 is in a blank display condition. That is, it is the transistor F1 of 46h of selecting switches of the scan electrode drive cel 46 by control of the compulsive blank display-control circuits 46b and 46d shown in drawing 3 when the forced-display blank control signal DF (bar) is L level. It is an ON state and is an electrical potential difference V5 in a scan electrode. (0v) It is impressed and a liquid crystal inter-electrode electrical potential difference (liquid crystal applied voltage) is 0v. a time -- t0 - a time -- t3 The period is equivalent to the liquid crystal drive prohibition period. a time -- t1 the liquid crystal power circuit 28 carries out power-on -- having --- liquid crystal driver voltage V0 - although V5 occurs and these electrical potential differences are supplied to a scan and a signal driver, the shift register in a scan and a signal driver etc. is in an indeterminate condition at the power-source starting time; however, a time -- t3 up to -- since blank control of the liquid crystal display is carried out, the abnormality drive of a liquid crystal panel is avoidable.

[0030] next, a time -- t3 Output Tn If set to H level; since the electrical potential difference of H level will be supplied to the forced-display blank control terminal DF of each scan driver and a signal driver (bar), the alternating current drive of the liquid crystal display panel 22 is carried out by the normal operation of a scan driver and a signal driver, and the display screen is drawn on a liquid crystal panel 22. B shown in drawing 4 expresses a liquid crystal drive period. a time -- t1 the time of Boolean part of the liquid crystal power circuit 28, a scan, and a signal driver doing power-on, and being late for this -- t3 The liquid crystal display panel 22 drives. Therefore, since power-source power-on does not occur instantaneous, the excessive power-source rushes current is controlled. This is because the delayed action of the signal delay circuit 49 with the time delay of 1 - 2 frame period is functioning on the effective target in addition to delay-actuation of signal halt detector 48 the very thing.

[0031] It is t4 at the time [in / here / now / this liquid crystal drive period B]. The output of the data signal latch clock LP sent out from the liquid crystal module controller 12 side presupposes that it stopped, for example. It is the scan driver 461 during the output of the data signal latch clock LP. Signal halt detector 481 Although the 2nd capacitor C12 is fully charged If the clock LP stops, in the burr by which a charge is not transmitted to the 2nd capacitor C12 from the 1st capacitor C11 side The charge of the 2nd capacitor C12 is the discharge resistance R1. It minds, begins to discharge quickly with a predetermined time constant, and is an inverter INV2. Input voltage rises gradually. if the input voltage exceeds the threshold VTH -- the output voltage INVOUT a time -- t5 It is set to L level. this logic change -- signal delay circuit 491 since it is reset and that output Q serves as L level, although the forced-display blank control signal DF (bar) is L level -- logical circuit 501 Output T1 a time -- t5 It is set to L level. This output T1 is the scan driver 462. Logical circuit 502 Since the cascade input is carried out, frame start signal SP is that logical circuit 502 also in an output. Output T2 It is set to L level. Furthermore, output T2 Scan driver 46n Since the cascade input is carried out at 50n of logical circuits, the alternating current-ized signal FR is 50n of the logical circuit also in an output. Output Tn It

is set to L level. This output Tn Since it is equivalent to the forced-display blank control signal DF by the side of the liquid crystal display module section 46 (bar), the liquid crystal display panel 22 will be in a blank display condition using the forced-display blank circuits 46b and 46d. That is, transistor F1 of 46h of selecting switches of the scan electrode drive cel 46 shown in drawing 3 At an ON state, it is an electrical potential difference V5 in a scan electrode. (0v) Since electric power is supplied, a liquid crystal inter-electrode electrical potential difference is maintained by 0v. For this reason, since a liquid crystal device is not driven by the dc component even when the data signal latch clock LP stops by a certain cause, liquid crystal degradation is prevented beforehand. Moreover, it is an output Tn also when frame start signal SP or the alternating current-ized signal FR stops by a certain cause. Since it is set to L level, liquid crystal degradation is prevented beforehand similarly. In addition, as long as frame start signal SP and the alternating current-ized signal FR are continuing in this liquid crystal drive prohibition period A, the 2nd capacitor C22 and Cn1 is in a charge condition, and it is an inverter INV2. INVn An output is H level.

[0032] a time -- t6 if it sets and the data signal latch clock LP begins to appear again, as mentioned above, the 2nd capacitor C12 will charge -- having -- inverter INV1 Output INVOUT It is set to H level. output INVOUT the output Q of the signal delay circuit 491 which functions as a timer after the frame period of 1-2 from the time of being set to H level -- a time -- t7 It is set to H level. By this, it is a logical circuit 501. Output T1 While being set to H level, this is interlocked with, and it is a logical circuit 502. Output T2 of 50n Tn It is set to H level. Therefore, since the forced-display blank control signal DF by the side of the liquid crystal display module section 22 (bar) changes to H level, the liquid crystal display panel 22 enters at the liquid crystal drive period B.

[0033] the last -- a time -- t8 if the forced-display blank control signal DFF (bar) by the side of the liquid crystal display controller 12 is set to L level -- logical circuit 501 Output T1 since it changes to L level -- logical circuit 502 50n Output T2 Tn It is set to L level. Therefore, the forced-display blank control signal DF by the side of the liquid crystal display module section 20 (bar) serves as L level; and the liquid crystal display panel 22 goes into display "off" period C.

[0034]

[Example 2] Drawing 5 is the block diagram showing the liquid crystal display concerning the example 2 of this invention. In addition, the same reference mark is given to the same part as the part shown in drawing 1 in drawing 5, and the explanation is omitted.

[0035] two or more scan drivers 761 which constitute the scan electrode drive circuit (X driver) 76 of the liquid crystal display module section 70 of this example - 76n The signal supervisory control section of an example 1, and the same signal supervisory control section 771 - 77n Although had it is shown in drawing 6 -- as -- each signal supervisory control section 771 - 77n **** -- liquid crystal driver voltage V0 - V5 The power-source power-on / OFF control circuit 781 which controls the timing of the power-on/OFF of the liquid crystal power circuit 28 which should be generated - 78n It is added.

[0036] power-source power-on / off control circuit 781 - 78n Logical circuit 501 Input terminal S1 - Sn Inverter INV3 which reverses the signal which carries out Iriki D flip-flop 78a and 78b, and an output Q and a terminal P1 of two-step connection - Pn from -- it consists of logical circuit 78c which takes logic with the coming signal. Moreover, the signal delay circuit 79 of each signal supervisory control section 77 is the configuration which made additional connection of the 3rd step of D-flip-flop 79c at D flip-flop 49a and 49b of two-step connection of the signal delay circuit 49 concerning an example 1.

[0037] 1st scan driver 761 Input terminal P1 of logical circuit 78c **** -- the power-on / off signal of the logic side supply voltage VCC supply -- having -- **** -- 2nd scan driver 762 Terminal P2 **** -- 1st scan driver 761 The power-source power-on / off control circuit 781 which can be set Output PF1 is supplied in cascade. moreover, scan driver 76n of ** a n-th Terminal Pn **** -- the preceding paragraph -- 2nd scan driver 762 The power-source power-on / off control circuit 782 which can be set The output PF 2 is supplied in cascade. And scan driver 76n of ** a n-th Power-source power-on / 78n of off control circuits Output PFn The power-off terminal POFF of the liquid crystal power circuit

28 (bar) is supplied.

[0038] Electrical-potential-difference conversion circuit 28a which generates the pressure up high voltage (20-40v) based on VCC (5v) supply voltage as the liquid crystal power circuit 28 is the same configuration as usual and is shown in drawing 7, npn mold transistor 28b for control turned on / turned off by how of the electrical-potential-difference value supplied to the power-off terminal POFF (bar), ON / off actuation of this transistor 28b are interlocked with. ON / pnp type transistor 28c of a power switch to turn off, 28d of smoothing capacitors which intervene between the collector and touch-down, and liquid crystal driver voltage V0 from the charge electrical potential difference - V5 It has electrical-potential-difference partial pressure circuit 28e to output.

[0039] Next, it explains, referring to drawing 8 about actuation of the above-mentioned example. a time -- t0 If it sets, the power switch SW is closed and the logic power source VCC of a liquid crystal display is switched on, like an example 1, the reset signal of the pulse width for several microseconds - several ms will be supplied to the power-on-reset terminal RS of the liquid crystal module controller 12 from the MPU side, and the liquid crystal module controller 12 will be initialized. Therefore, generally the output signal from the liquid crystal module controller 12 is in a idle state. It sets at this period and the logic supply voltage VCC is the 1st scan driver 761. Although the force is supplied much more, since [of AND-circuit slack logical circuit 78c] the data signal latch clock LP has not appeared, it is the output PF1. It is in L level condition. Consequently, 2nd: scan driver 762 Output PF 2 It is L level and is scan driver 76n of ** a n-th further. Output PFn Since it is L level, the power-off terminal POFF of the liquid crystal power circuit 28 (bar) is maintained by L level condition. for this reason, since the base potential of transistor 28b shown in drawing 7 is L level (0v), a pressure-up electrical potential difference is supplied to 28d of smoothing capacitors -- not having -- therefore, liquid crystal driver voltage V0 - V5 It does not generate. Like the example 1, in this initialization period, a dc component is not impressed by liquid crystal inter-electrode; but degradation of a liquid crystal device is prevented.

[0040] next, it is shown in drawing 8 -- as -- a time -- t1 Various signals are generated from the liquid crystal module controller 12. The compulsive blank status signal DFF (bar) changes from L level to H level, and frame start signal SP, the data signal latch clock LP, and the alternating currentized clock FR generate it. the example 1 explained -- as -- appearance initiation of the data signal latch clock LP -- inverter INV2 an output INVOUT -- a time -- t2 It is set to H level. for this reason, the output Q of power-on / off control circuit 78b -- a time -- t2 since it is set to H level by t3 the time of only 1 - 2 frame period being overdue -- output PF1 of logical circuit 78c It is set to H level. Thereby, they are the 2nd and n-th scan drivers 762. 76n Output PF1 of logical circuit 78c Since PF interlocks and is set to H level, the power-off terminal POFF of the liquid crystal power circuit 28 (bar) is energized by H level. consequently, since transistor 28b is turned on, that transistor 28c will also be in an ON state by the voltage drop of the resistance between base emitters of transistor 28c, and 28d of smoothing capacitors charges -- having -- liquid crystal driver voltage V0 - V5 It generates. a time -- t3 from -- the time of the next frame start signal SP coming -- t4 ***** -- the output Q of D-flip-flop 79c is still L level. signal delay circuit 791 in this example the number of stages of D flip-flop -- power-on / off control circuit 781 since there are many a steps as compared with it -- the output Q of D-flip-flop 79c -- it of D-flip-flop 78b -- 1 frame-period TF only -- it is because it is behind and is set to H level.

consequently, output T1 T2 Tn since it is set to both H level -- an example 1 -- the same -- the compulsive blank status signal DF by the side of the liquid crystal display module section (bar) -- H RE ** RU from L level -- changing -- thereby -- the scan electrode and signal electrode of the liquid crystal display panel 22 -- driver voltage V0 - V5 Electric power is supplied and it goes into liquid crystal display mode.

[0041] for example, liquid crystal driver voltage V0 - V5 A drive of generating, simultaneously the liquid crystal display panel 22 will cause a big charge rushes current in the power supply section of a liquid crystal display panel, a scan, and a signal driver. however, this example -- setting -- a time -- t3 -- liquid crystal driver voltage V0 - V5 since it generates -- 1 frame-period TF Since a liquid crystal drive

is started behind, time difference energization of a power supply section can distribute a rushes current, prevention of a power-source down and mitigation of a power supply can be aimed at, and it ** to protection of a liquid crystal display panel, a driver, etc. Moreover, the above-mentioned power control needs to mitigate the development cost burden by the side of a system, and does not need to make the signal wiring of a LCD inter module increase the conventional system side. Furthermore, in order to bring about reduction of a power supply, it becomes usable [a cheap power source]. next, the time in the liquid crystal drive period B -- t5 supposing the oscillation of the data signal latch clock LP sent out from the liquid crystal module controller 12 side stops -- an example 1 -- the same -- inverter INV2 input voltage -- going up -- the output voltage INVOUT a time -- t6 L level -- becoming -- output T1 T2 Tn is also set to L level. Consequently, since the forced-display blank control signal DF by the side of the liquid crystal display module section (bar) serves as L level, the liquid crystal display panel 22 will be in a blank display condition. The same effectiveness as an example 1 is demonstrated. moreover, output voltage INVOUT of an inverter INV2 if set to L level -- output PF1 PF2 PFn coincidence -- L level -- becoming -- the power-off terminal POFF of the liquid crystal power circuit 28 (bar) -- L level -- changing -- liquid crystal driver voltage V0 – V5 Generating stops.

[0042] a time -- t7 if it sets and the data signal latch clock LP begins to appear again -- an example 1 -- the same -- inverter INV2 Output voltage INVOUT Time t -- in 8, it was set to H level and mentioned above -- as -- this time -- t8 from -- the time after 1 - 2 frame period -- t9 Output PF1 PF2 PFn It is set to H level; consequently -- since the power-off terminal POFF of the liquid crystal power circuit 28 (bar) changes to H level -- liquid crystal driver voltage V0 – V5 It generates and these are impressed by the driver side. and it mentioned above -- as -- output T1 T2 Tn a time -- t9 from -- 1 frame-period TF only -- the time of being behind -- t10 -- H level -- becoming -- the scan electrode and signal electrode of the liquid crystal display panel 22 -- liquid crystal driver voltage V0 – V5 Electric power is supplied and liquid crystal display mode is resumed.

[0043] Time t -- if the forced-display blank control signal DFF (bar) by the side of the liquid crystal display controller 12 is set to L level by 11 -- output T1 T2 Tn Since it is set to L level, the forced-display blank control signal DF by the side of the liquid crystal display module section 70 (bar) serves as L level, and the liquid crystal display panel 22 goes into display "off" period C. At this time, they are power-on / off control circuit 781 at t12 at the time after t11 to 1 - 2 frame periods. The output Q of D-flip-flop 78b changes to L level, and it is output PF1, PF2, PFn It is set to L level; consequently -- since the power-off terminal POFF of the liquid crystal power circuit 28 (bar) is set to L level -- liquid crystal driver voltage V0 – V5 Generating stops. Thus, if the forced-display blank control signal DFF (bar) by the side of the liquid crystal display controller 12 is set to L level, after a liquid crystal drive stops, impression of the liquid crystal electrical potential difference to a driver will be lost after progress of a fixed period. the sequence at the time of such power-off -- logic power source VCC and liquid crystal drive power source V0 – V5 Potential relation is maintained, a parasitism bipolar current, a penetration current, etc. in a driver are controlled, and protection of a liquid crystal display panel and a driver can be aimed at.

[0044] In this example, after a clock is supplied to a liquid crystal module side, the power of the liquid crystal power circuit 28 serves as ON, and the power of the liquid crystal power circuit 28 also becomes off by output halt of a clock. By such auto sequence of power-source energization, since it is, and carries out and becomes in time difference, protection of the liquid crystal panel with a dispersive rushes current which constitutes a liquid crystal display module, a driver, or a liquid crystal power circuit can be aimed at like ****.

[0045] In addition, in each above-mentioned example, although the signal supervisory control section makes and is crowded in the scan driver LSI and is in it, this is because the area allowances of the circuit base which carries the signal supervisory control section as compared with the signal driver LSI since there being few numbers of an I/O signal line and the display frame field are large are large. Moreover, although this example explained the indicating equipment of a passive-matrix liquid crystal

panel, this invention is applicable also not only to this but an active matrix liquid crystal indicating equipment. In this case, it is desirable to make the signal supervisory control section to a gate driver LSI side. In that case, a gate driver LSI is controlled so that all the gates turn on at the time of a halt of a clock, a source driver is controlled to output this potential a common side by the data side, and it is set up so that all pixel electric fields may be in the condition of not impressing. Furthermore, display quality is widely applicable to the deteriorating display like the electronic instrument using liquid crystal equipment, or a plasma display with a direct-current drive not only like a display but liquid crystal optical operation equipment in this invention.

[0046] although a means to detect the abnormalities of the signal by the side of the liquid crystal module controller 12 supplied in each above-mentioned example, and a means to remove the abnormal condition of the signal beforehand or ex post are formed in the liquid crystal module side -- a part of these means -- a component may be prepared in a liquid crystal module side, and the component which remains may adopt the assignment configuration prepared in the system (controller) side. For example, two or more signals (SP, LP, FR) which may cause the direct-current drive of a liquid crystal panel Since a frequency differs from pulse duty, respectively, those signals are changed into a single composite signal using the anticoincidence gate (Exclusive OR gate). While returning this to a system side, supervising an abnormal condition in a judgment circuit and removing an abnormal condition with the output, a configuration which performs an indicator display using a display object different from a LCD module side is employable. Moreover, scan driver 46n of the example shown in drawing 1 Terminal Tn An output is returned to a system side and the method which carries out ON/OFF control in a fixed procedure (sequence) can also adopt the power source of a logic system and a liquid crystal system.

[0047] moreover, liquid crystal driver voltage V0 by the abnormalities of partial pressure circuit 28e in the liquid crystal power circuit 28 shown in drawing 7 as another cause of degrading a liquid crystal panel - V5 It is possible that a liquid crystal panel drives by the effectual dc component; and deteriorates with an electrical-potential-difference value shift or the poor output of a specific driver. Since these abnormalities are also detectable as fluctuation of a power-source current or supply voltage, an abnormal condition is removable with an above-mentioned abnormality removal means.

[0048] [Effect of the Invention] As mentioned above, when the signal transmitted from a display and control section quenches the flat indicating equipment concerning this invention, the direct-current drive of liquid crystal is compulsorily stopped by the signal supervisory control means by the side of a display object module. For this reason, display object degradation by direct-current drive can be prevented. Moreover, a power-source rushes current is mitigable. This invention is applicable to plasma display equipment etc. not to mention a liquid crystal display. It is suitable for using for a display from which display quality, a life, etc. of a display object cause unrestorable degradation by the abnormalities of a driving signal.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the whole liquid crystal display configuration concerning the example 1 of this invention.

[Drawing 2] It is the circuit diagram showing the connection relation between the configuration of the signal supervisory control section of each scan driver in this example, and a driver.

[Drawing 3] It is the circuit diagram showing the scan electrode drive cel of the scan driver in this example.

[Drawing 4] It is the timing-chart Fig. showing the relation of the various signals in the liquid crystal display module section for explaining actuation of this example.

[Drawing 5] It is the block diagram showing the whole liquid crystal display configuration concerning the example 2 of this invention.

[Drawing 6] It is the circuit diagram showing the connection relation between the configuration of the signal supervisory control section of each scan driver in this example, and a driver.

[Drawing 7] It is the circuit diagram showing the configuration of the liquid crystal power circuit in this example.

[Drawing 8] It is the timing-chart Fig. showing the relation of the various signals in the liquid crystal display module section for explaining actuation of this example.

[Drawing 9] It is the block diagram showing the configuration of the conventional liquid crystal display.

[Description of Notations]

10 ... Liquid crystal display control section

12, 40; 70 ... Liquid-crystal module controller

20 ... The flat-like liquid crystal display module section

22 ... Liquid crystal display panel (matrix liquid crystal display component)

241 - 24M ... Signal-Electrode Driver Semiconductor Integrated Circuit

24 ... Signal-electrode drive circuit (X driver)

26, 46, 76 ... Scan electrode drive circuit (Y driver)

261 - 26N 461 - 46N 761 - 76N ... Scan Electrode DO

RAIBA semiconductor integrated circuit

28 ... Liquid crystal power circuit

28a ... Electrical-potential-difference conversion circuit

28 b...npn mold transistor

28c ... Pnp type transistor

28d ... Smoothing capacitor

28e ... Electrical-potential-difference partial pressure circuit

30 ... Cable

4611 4612 ... Scan electrode drive cel

46a, 49a, 49b, 78a, 78b, 79c ... D type flip-flop

46b ... Line unit compulsion blank display-control circuit

46c ... Line unit electrical-potential-difference level shift circuit

46d ... The total line compulsion blank display-control circuit

46e ... Electrical-potential-difference level shift circuit

46f ... Forward reverse 2 phase clock generation circuit

46g ... Selection-control signal generation circuit

46h ... Selecting switch

47,471 -47n 771 -77n ... Signal supervisory control section

48 ... Signal halt detector

49 79 ... Signal delay circuit
50 ... Logical circuit
51 ... Sequence processing circuit
781 ~78N ... Power-Source Power-on / Off Control Circuit
78c ... Logical circuit
Tr1 ... 1st N-channel MOS transistor
Tr2 ... 2nd N-channel MOS transistor
INV1, INV2 INV3 ... Inverter
C11 ... The 1st capacitor
C12 ... The 2nd capacitor
R1 ... Discharge resistance
AND ... AND circuit
CKB1 ~ CKBn ... Terminal
S1 ~ Sn ... signal halt detection control terminal
T1 ~ Tn ... signal halt detection terminal
V0 ~ V5 ... liquid crystal driver voltage (reference voltage)
D0~D7 ... Data signal
XSCL ... Pixel clock (shift clock pulse)
YSCL ... Scanning-line synchronizing signal
LP ... Data signal latch clock
FR ... Alternating current-ized clock
DF (bar) ... Display off signal (compulsive blank status signal)
SP ... Scan start pulse (frame start signal)
POFF (bar) ... Power-off terminal

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-272940

(P2001-272940A)

(43)公開日 平成13年10月5日 (2001.10.5)

(51)Int.Cl.⁷

G 09 G 3/20

識別記号

6 7 0

F I

テマコード(参考)

6 8 0

G 09 G 3/20

6 7 0 F

G 02 F 1/133

5 2 0

G 02 F 1/133

6 8 0 F

5 5 0

5 2 0

G 09 G 3/28

G 09 G 3/36

5 5 0

審査請求 有 請求項の数12 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願2001-36814(P2001-36814)

(62)分割の表示 特願2001-6848(P2001-6848)の分割

(22)出願日 平成3年6月11日(1991.6.11)

(31)優先権主張番号 特願平2-159416

(32)優先日 平成2年6月18日(1990.6.18)

(33)優先権主張国 日本(JP)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 今村 陽一

長野県諏訪市大和3丁目3番5号

(74)代理人 100095728

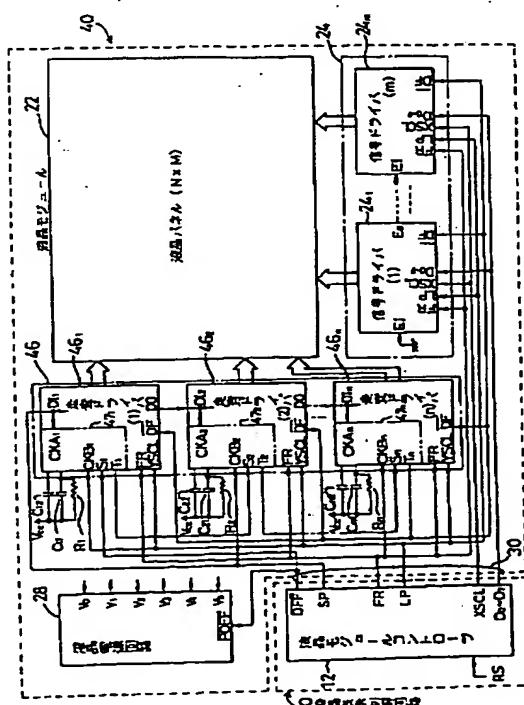
弁理士 上柳 雅善 (外1名)

(54)【発明の名称】 表示制御装置及び表示装置

(57)【要約】

【課題】 表示制御部側から供給される信号の異常に起因する表示パネルの直流駆動等による表示特性劣化を防止可能のフラット表示装置の提供。

【解決手段】 各走査ドライバLSIの信号管理制御部47₁～47_nはカスケード接続されており、同一構成である。制御部47₁の被検出信号は端子CKB₁に印加されるデータ信号ラッチクロックLP、制御部47₂の被検出信号は端子CKB₂に印加されるフレームスタート信号SPで、制御部47_nの被検出信号は端子CKB_nに印加される交流化クロックFRである。制御部47₁は被検出信号の停止を検出する信号停止検出回路48と信号遅延回路49及び論理回路50からなるシーケンス処理回路51を有する。信号SPの発振が停止すると、回路51の出力T₁～T_nはLレベルに変化し、ディスプレイ・オフ信号DF(ハイ)がLレベルになり、液晶パネルが表示オフモードに強制設定される。信号SPが何らかの原因で停止しても液晶印加電圧が零に落とされるので、液晶直流駆動を回避でき、液晶劣化等を防止できる。



(2)

2

【特許請求の範囲】

【請求項 1】 フラット表示体モジュール部とそれを制御する表示制御部とが分離配置されており、該フラット表示体モジュール部がフラット表示体とこれを駆動する表示体駆動手段を有しているフラット表示装置であって、信号管理制御手段を備え、この信号管理制御手段は、該表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その検出信号に基づいて該フラット表示モジュール部側の信号形態を変更処理するシーケンス処理手段とを有することを特徴とするフラット表示装置。

【請求項 2】 請求項 1において、前記信号管理制御手段は前記フラット表示体モジュール部側に設けられてなることを特徴とするフラット表示装置。

【請求項 3】 請求項 1 又は 2において、前記信号検出手段は前記第 1 の信号の停止を検出する信号停止検出手段で、前記シーケンス処理手段は該信号停止検出手段の出力を基に前記表示体駆動手段の前記フラット表示体へ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段であることを特徴とするフラット表示装置。

【請求項 4】 請求項 3において、前記強制停止制御手段は、前記信号停止検出手段の出力により前記表示制御部側から転送される第 2 の信号を遅延させる第 1 の信号遅延手段を有することを特徴とするフラット表示装置。

【請求項 5】 請求項 4において、前記強制停止制御手段は、その出力の送出を制御すべき第 3 の信号の制御端子を有することを特徴とするフラット表示装置。

【請求項 6】 請求項 5において、n を正の整数とし、前記信号管理制御手段を n 個有し、各信号管理制御手段に前記第 1 の信号として入力すべき被検出信号の種類がそれぞれ異なることを特徴とするフラット表示装置。

【請求項 7】 請求項 6において、 $k = 1, \dots, n - 1$ で、第 k 番目の前記信号管理制御手段の制御出力を第 $k + 1$ 番目の前記信号管理制御手段の第 3 の信号とし、第 n 番目の前記信号管理制御手段の制御出力に基づいて前記前記表示体駆動手段の表示オン／オフを制御するようにしたことを特徴とするフラット表示装置。

【請求項 8】 請求項 4乃至 7 のいずれか一項において、前記第 1 の信号遅延手段は、フレームスタート信号を前記第 2 の信号として入力され、N を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能の N 段の D フリップ・フロップであることを特徴とするフラット表示装置。

【請求項 9】 請求項 7 又は 8 項において、前記信号停止検出手段の出力と第 4 の信号とを基に表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を前記フラット表示体モジュール部側に有することを特徴とするフラット表示装置。

【請求項 10】 請求項 9において、前記電源制御手段は前記信号停止検出手段の出力により前記表示制御部側に有することを特徴とする表示体駆動装置。

から転送される第 2 の信号を遅延させる第 2 の信号遅延手段を有することを特徴とするフラット表示装置。

【請求項 11】 請求項 10において、前記第 2 の信号遅延手段はフレームスタート信号を前記第 2 の信号として入力され、M を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能の M ($< N$) 段の D フリップ・フロップであることを特徴とするフラット表示装置。

【請求項 12】 請求項 1 乃至 11 のいずれか一項において、前記フラット表示体は液晶表示パネルであることを特徴とするフラット表示装置。

【請求項 13】 請求項 1 乃至 11 のいずれか一項において、前記フラット表示体はプラズマ表示パネルであることを特徴とするフラット表示装置。

【請求項 14】 フラット表示体モジュール部側に設けられ、表示制御部からの各種信号に基づいてフラット表示体に表示体駆動電圧を給電する表示体駆動装置において、該表示制御部側から転送される第 1 の信号の異常発生を検出する信号検出手段と、その検出出力に基づいてフラット表示体モジュール部側の信号形態を変更処理するシーケンス処理手段とを含む信号管理制御手段を備えていることを特徴とする表示体駆動装置。

【請求項 15】 請求項 14において、前記信号検出手段は前記第 1 の信号の停止を検出する信号停止検出手段で、前記シーケンス処理手段は該信号停止検出手段の出力を基に前記フラット表示体へ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段であることを特徴とする表示体駆動装置。

【請求項 16】 請求項 15において、前記強制停止制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第 2 の信号を遅延させる第 1 の信号遅延手段を有することを特徴とする表示体駆動装置。

【請求項 17】 請求項 16において、前記強制停止制御手段は、その出力の送出を制御すべき第 3 の信号の入力端子を有することを特徴とする表示体駆動装置。

【請求項 18】 請求項 17において、前記信号遅延手段は、フレームスタート信号を前記第 2 の信号として入力され、N を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能の N 段の D フリップ・フロップであることを特徴とする表示体駆動装置。

【請求項 19】 請求項 15乃至 18 のいずれか一項において、前記信号管理手段は前記信号停止検出手段の出力と第 4 の信号を基に表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を有することを特徴とする表示体駆動装置。

【請求項 20】 請求項 19において、前記電源制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第 2 の信号を遅延させる第 2 の信号遅延手段を有することを特徴とする表示体駆動装置。

(3)

3

【請求項21】 請求項20において、前記第2の信号遅延手段はフレームスタート信号を前記第2の信号として入力され、Mを正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能のM(< N)段のDフリップ・フロップであることを特徴とする表示体駆動装置。

【請求項22】 請求項14乃至21のいずれか一項において、前記表示体駆動装置が液晶表示パネルを駆動する液晶駆動装置であることを特徴とする表示体駆動装置。

【請求項23】 請求項22において、前記液晶駆動装置は半導体集積回路であることを特徴とする表示体駆動装置。

【請求項24】 請求項23において、前記半導体集積回路はYドライバであることを特徴とする表示体駆動装置。

【請求項25】 請求項24において、前記Yドライバは単純マトリクス液晶表示装置の走査ドライバであることを特徴とする表示体駆動装置。

【請求項26】 請求項24において、前記Yドライバはアクティブ・マトリクス液晶表示装置のゲートドライバであることを特徴とする表示体駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示(LCD), プラズマ表示パネル(PDP)等のフラットディスプレイやその応用装置に関し、更に詳細には、表示体モジュール部とその表示を制御する表示制御部とが分離配置された形態を有するフラット表示装置における表示体モジュール部側の信号管理技術に関する。

【0002】

【従来の技術】従来、所謂ラップトップ型と称される可搬型パソコン・コンピュータやワードプロセッサなどは一般に開閉式のフラットディスプレイ部を有しており、それらに搭載される中・大型の液晶表示装置は、図9に示すように、装置本体側に内蔵された液晶表示制御部10と開閉蓋の内側に設けられたフラット状の液晶表示モジュール部20とからなる分離独立した配置構成である。液晶表示制御部10は、液晶モジュール・コントローラ12や図示しないマイクロ・プロセッサ・ユニット(MPU)を有しており、この液晶モジュール・コントローラ12は液晶表示モジュール部20側に対し各種の制御信号及びクロック信号を供給する。

【0003】液晶表示モジュール部20は、例えば単純マトリクス型の液晶表示パネル(マトリクス液晶表示素子)22と、このパネル22の周辺(額縁)領域にTAB実装された信号電極駆動回路(Xドライバ)24及び走査電極駆動回路(Yドライバ)26と、高圧の液晶駆動電圧(基準電圧)V0~V5を発生する液晶電源回路28とを有している。信号電極駆動回路24は複数

(4)

4

の信号電極ドライバ半導体集積回路241~24mのカスケード接続として構成され、例えば信号電極の総数M本に対し画面1ライン分ずつドライバ出力を供給する。即ち、データ信号D0~D7は画素クロック(シフトクロックパルス)X S C Lによって次々に信号電極駆動回路24内のシフトレジスタに取り込まれ、画面1ライン分の信号(Mビット)が取り込まれた時点で、走査線同期信号Y S C L(データ信号ラッチクロックL P)によってシフトレジスタ内のデータ信号が並列的にデータラッチ回路へ送られ、データ信号の直・並列変換が行われる。そのデータラッチ回路では、1ライン分の信号電圧を1走査期間にわたって保持し、その信号電圧に基づいて選択スイッチ回路が信号電極に接続されたドライバ出力電圧を選択又は非選択状態のいずれかに設定する。交流化クロックF Rは直流駆動による液晶素子の劣化を防止するために上記の各電圧を交流波形にするクロックである。強制ブランク表示信号D F(バー)は液晶画面を強制的にブランク表示状態とするための信号である。走査電極駆動回路26は複数の走査電極ドライバ半導体集積回路261~26nのカスケード接続として構成され、例えば走査電極総数N本のうち1本だけに選択電圧を、他の(N-1)本の走査電極に非選択電圧を付与するように動作する。走査スタートパルス(フレームスタート信号)S Pによって1走査線期間が開始され、走査線同期信号Y S C L(データ信号ラッチクロックL P)の入来する毎に選択電圧が第1行目の走査電極から第N行目の走査電極に次々に印加される(線順位表示)。また液晶表示モジュール部20側に配置された液晶電源回路28は信号電極駆動回路24及び走査電極駆動回路26の選択スイッチが選択すべき複数の液晶駆動電圧V0~V5を生成するもので、強制ブランク表示信号D F(バー)によってパワーオン/オフ状態に設定される。

【0004】

【発明が解決しようとする課題】ところで、装置本体側に内蔵された液晶表示制御部10と開閉蓋の内側に設けられたフラット状の液晶表示モジュール部20とは一般にヒンジ結合の可動部を介してフレキシブル・ケーブル30で接続されている。そのため、フラット状の液晶表示モジュール部20側の開閉蓋が開閉されるたびにケーブル30自体が屈曲し、物理的要因からどうしてもケーブル30の信号線の損傷又は断線を招来し易い。信号線の一部が断線すると、例えば液晶表示パネル22に直流電圧(直流成分)が印加されたままの状態で、交流駆動されない事態が発生し、他の部品と比べて高価で交換の困難な液晶表示パネル22の劣化を惹起することがある。このような液晶劣化は寿命や表示品質の阻害要因であり、視認性を基調とするディスプレイ装置にとって重要な問題である。

【0005】ここに、液晶モジュール・コントローラ1

(4)

5

2から液晶表示モジュール部20側に供給される信号のうち液晶表示パネル22の直流駆動劣化を引き起こす可能性のある信号としては、走査スタートパルスSP、走査線同期信号Y S C L (データ信号ラッチクロックLP)、交流化クロックF R及びロジック側電源電圧V C Cである。また液晶モジュール・コントローラ12及びマイクロ・プロセッサ・ユニット(M P U)に何らかの動作異常が発生した場合でも、上記の各信号の異常が引き起こされ、上述と同様の事態が発生するおそれもある。

【0006】ところで、このような液晶表示体の直流駆動の問題を敷衍すると、液晶モジュール部側における信号異常の問題に一般化できる。また壁掛けテレビジョンを想定した場合、表示制御部と表示パネルとは遠隔配置にあることから、信号の停止もさることながら、信号レベルの減衰等や雑音の影響により表示品質劣化の問題も提起される。また、液晶ディスプレイに限らず、プラズマ・ディスプレイにおいても問題となる。

【0007】そこで、本発明の課題としては、上述の問題点に鑑みて、表示制御部側から表示体モジュール部側に供給される信号の異常に起因する表示パネルの直流駆動等による表示特性劣化を防止可能のフラット表示装置及び表示体駆動装置を提供することにある。

【0008】

【課題を解決するための手段】一般に、表示体モジュール部とその表示を制御する表示制御部とが分離配置されたフラット表示装置においては、表示体モジュール側は表示制御部からの制御信号等に追従して受動的動作を実行するが、本発明においては、信号管理制御手段を有する自律信号系が採用されている。この信号管理制御手段の構成要素のすべてを表示体モジュール部側に設けることもできるが、表示体モジュール部側と表示制御部とに分担配置することもできる。

【0009】このような信号管理制御手段は、表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その出力に基づいて表示体モジュール部側の信号形態を変更処理するシーケンス処理手段とを有する構成とされている。信号の異常とは信号の停止、論理振幅の減少、混信などを指すが、典型的な例としては信号の停止が挙げられる。またフラット表示装置としては液晶表示装置やプラズマ・ディスプレイ装置を挙げることができる。信号検出手段の具体的な構成としては第1の信号の停止を検出する信号停止検出手段であり、シーケンス処理手段はその出力を基に表示体駆動手段の表示体パネルへ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段である。第1の信号が表示体モジュール側で停止すると、これが信号停止検出手段で検出される。これにより強制停止制御手段が表示体駆動手段を制御し、その駆動手段は表示体印加電圧を零に設定する。従って、クロック等の第1の信号が停止した場合で

6

も、液晶等の表示体の直流駆動が回避されるので、表示特性の劣化を防止することができる。

【0010】更に具体的な強制停止制御手段としては、信号停止検出手段の出力により表示制御部側から転送される第2の信号を遅延させる第1の信号遅延手段を有し、その出力に基づいて表示体駆動手段の表示オン／オフを制御するような構成を採用することができる。かかる構成によれば、検出信号の発生により速やかに液晶パネルの表示をオフ状態に設定できることは勿論であるが、第1の信号が再開された場合、その時点で表示オンの状態が再スタートするのではなく、第2の信号の周期を基準として決定される所定の時間が経過した後、表示オン状態に表示体駆動手段が設定制御される。このような時間差的な表示体駆動手段の制御方式は、ラッシュ電流から誘起される電源異常による異常駆動を防止でき、電源負荷の軽減と電源回路の簡略化を図ることができる。

【0011】この信号遅延手段は、フレームスタート信号を第2の信号として入力され、検出手段の出力を基にセット・リセットされるN段のDフリップ・フロップとすることが望ましい。かかる場合の遅延時間はフレーム周期を単位として決定される。信号管理制御手段を液晶モジュール側に複数配置する構成も採用できる。かかる場合には、複数種類の信号の停止を同時に検出することができる。そして、強制停止制御手段にその出力を制御する第3の信号の制御端子を設けることにより、複数の信号管理制御手段をカスケード接続することができる。かかる場合は、いずれかの被検出信号が停止したときには、表示体駆動手段に対する表示オフの制御が可能となる。

【0012】更なるラッシュ電流に基づく異常駆動による表示体の劣化を防止するためには、表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を表示体モジュール部側に設けることが望ましい。この電源制御手段は検出手段の出力に対応して表示体電源手段のパワーオン／オフを制御するものである。このようにすることによって、第1の信号の発現が表示体モジュール部側で確認された後、表示体電源手段がパワーオンになる。

【0013】具体的な電源制御手段としては、検出手段の出力により表示制御部側から転送される第2の信号を遅延させる第2の信号遅延手段を有し、その出力に基づいて表示体電源手段のパワーオン／オフを制御するような構成を採用することができる。かかる構成によれば、第1の信号の出力が確認され、第2の信号の周期を基準として決定される所定の時間が経過した後、表示体電源手段が付勢される。このため、初期時における液晶の直流駆動を防止することができる。

【0014】そして、電源制御手段が表示オン／オフ信号を第2の信号として入力され、検出手段の出力により

(5)

7

セット・リセットされるM (<N)段のDフリップ・フロップである場合には、表示体電源手段が付勢された後、表示体駆動手段が表示オン状態となる。これもラッシュ電流の軽減に寄与する。但し、M、Nは正の整数である。

【0015】以上のような構成に係る信号管理制御手段は、表示体モジュール部側のガラス基板等に設けられているが、表示体モジュール部側に実装される表示体駆動装置の回路に組み込むことができる。つまり、信号管理制御付きの表示体駆動手段として実現できる。従来の表示体駆動手段はドライバLSIとして構成されているが、このような信号管理制御付きの表示体駆動手段も半導体集積回路として構成し得る。ドライバLSIのうちYドライバLSIはXドライバLSIに比して入出力配線の本数が少ないことを考慮すれば、信号管理制御付きのドライバLSIとしてはYドライバとすることが有利である。また液晶表示装置は単純マトリクス方式とアクティブ・マトリクス方式に大別できるが、この信号管理制御付きのドライバLSIは走査ドライバ又はゲートドライバとすることが望ましい。

【0016】

【発明の実施の形態】

【実施例1】図1は本発明の実施例1に係る液晶表示装置の全体構成を示すブロック図である。なお、図1において図9に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0017】この実施例における液晶表示モジュール部40の走査電極駆動回路(Yドライバ)46を構成する走査ドライバ半導体集積回路(LSI)46₁～46_nは信号管理制御部47を有している。

【0018】第1の走査ドライバ半導体集積回路46₁の信号管理制御部47₁は端子CKB1に印加される走査線同期信号YSCL(データ信号ラッチクロックLP)の停止を検出する。第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂は端子CKB2に印加される走査スタートパルス(フレームスタート信号)SPの停止を検出する。第n(例えば第3)の走査ドライバ半導体集積回路46_nの信号管理制御部47_nは端子CKBnに印加される交流化クロックFRの停止を検出する。それぞれの信号管理制御部47₁～47_nは信号停止検出制御端子S₁～S_n及び信号停止検出端子T₁～T_nを有している。第1の走査ドライバ半導体集積回路46₁の信号管理制御部47₁の信号停止検出制御端子S₁には通常高レベル電圧の強制ブランク表示信号DF(F(バー))が制御回路10側から供給され、その信号停止検出端子T₁は第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂の信号停止検出制御端子S₂に接続されている。また第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂の信号停止検出端子T₂

8

は次段の信号停止検出端子(例えば第nの信号管理制御部47_nの信号停止検出制御端子S_n)に接続されている。そして第nの信号管理制御部47_nの信号停止検出端子T_nは走査ドライバ46₁～46_n及び信号ドライバ24₁～24_nの強制ブランク制御端子DF(バー)に接続されている。

【0019】各走査ドライバの信号管理制御部47₁～47_nは、図2に示すように、カスケード接続されており、各信号管理制御部47₁～47_nの構成は同一である。信号管理制御部47₁の被検出信号は端子CKB1に印加されるデータ信号ラッチクロックLP、信号管理制御部47₂の被検出信号は端子CKB2に印加される走査スタートパルス(フレームスタート信号)SPで、信号管理制御部47_nの被検出信号は端子CKBnに印加される交流化クロックFRである。

【0020】ここで、信号管理制御部47₁に着目してその構成を説明する。信号管理制御部47₁は、被検出信号の停止を検出する信号検出手段としての信号停止検出回路48と、信号遅延回路49及び論理回路50からなるシーケンス処理回路51を有している。

【0021】信号停止検出回路48は、被検出信号としてのラッチクロックLPによってスイッチングしトランスマニアゲートを構成する第1のN型MOSトランジスタTr₁、そのラッチクロックLPの位相を反転させるインバータINV₁、そのラッチクロックLPの逆位相信号によってスイッチングしトランスマニアゲートを構成する第2のN型MOSトランジスタTr₂、第1のN型MOSトランジスタTr₁の開閉動作によって充放電する第1のキャパシタC₁₁、第2のN型MOSトランジスタTr₂の開閉動作によって充放電する第2のキャパシタC₁₂、このキャパシタC₁₂の電荷を放電する放電抵抗R₁、及び第2のキャパシタC₁₂の充電電圧と閾値V_{TH}とを比較して充電レベル判定信号を出力するインバータINV₂から構成されている。第1のN型MOSトランジスタTr₁とインバータINV₁及び第2のN型MOSトランジスタTr₂は直列の排他的開閉回路を構成している。そして第1のN型MOSトランジスタTr₁は第1のキャパシタC₁₁に対する選択的充電スイッチを構成し、また第2のN型MOSトランジスタTr₂は第1のキャパシタC₁₁の電荷を第2のキャパシタC₁₂へ分配転送する選択的充電スイッチを構成している。

【0022】信号遅延回路49は、インバータINV₂の出力に接続されたりセット端子R(バー)及び接地された入力端子D(バー)を有し、フレームスタート信号SPをクロック入力CKとするD型フリップ・フロップ49aと、インバータINV₂の出力に接続されたりセット端子R(バー)及びフリップ・フロップ49aの出力Q(バー)に接続された入力端子D(バー)を有

(6)

9

し、フレームスタート信号SPをクロック入力とするD型フリップ・フロップ49bとから構成されている。論理回路50は制御回路10からの強制ブランク信号DFF(バー)とフリップ・フロップ49bのQ出力を2入力とするアンド回路ANDから構成されている。

【0023】図3は走査ドライバ461の信号管理制御部471を除く通常の走査電極駆動回路(論理部)を示す回路図である。この論理部には多数の走査電極に対応して線順位で電圧を印加する多ビットの走査電極駆動セル4611, 4612・・・がアレイ状に作り込まれている。図3では第1ビットと第2ビットの走査電極駆動セル4611, 4612及びその周辺回路が示されている。

【0024】ここで走査電極駆動セル4611に着目してその構成を説明すると、この走査電極駆動セル4611は、フレームスタート信号SPによって起動し走査同期信号Y SCLの入来毎に次段へそのフレームスタート信号SPを転送するシフトレジスタにおけるD型フリップ・フロップ46aと、そのビット選択出力Qに第nの走査ドライバ46nの端子Tnから供給される強制ブランク表示信号DFF(バー)を加味して論理演算する行単位強制ブランク表示制御回路46bと、その出力をロジック系電源電圧($V_{CC} = 5V$)から高電圧系の論理振幅に変換する行単位電圧レベルシフト回路46cと、交流化クロックFRに強制ブランク表示信号DFF(バー)を加味して論理演算する総行強制ブランク表示制御回路46dと、その交流化クロックFRをロジック系電源電圧($V_{CC} = 5V$)から高電圧系の論理振幅を持つ高圧交流化クロックFRHに変換する交流化クロック用の電圧レベルシフト回路46eと、その高圧交流化クロックFRHを逆相の高圧交流化クロックFRH(バー)に反転させる正逆2相クロック生成回路46fと、高圧交流化クロックFRH, 逆相の高圧交流化クロックFRH(バー)の対と行単位電圧レベルシフト回路46cの出力O, O(バー)の対とから交鎖的組み合せで4つの選択制御信号C1 ~ C4を発生する選択制御信号生成回路46gと、各選択制御信号C1, C2, C3, C4によって走査電極駆動電圧V5, V1, V0, V4を逐一的に走査電極へ伝達供給する選択スイッチ46hとから構成されている。ここで、行単位強制ブランク表示制御回路46bと総行強制ブランク表示制御回路46dとは強制ブランク表示制御回路を構成している。なお、INV3は強制ブランク表示制御信号DFF(バー)の行単位強制ブランク表示制御回路46bに対して論理を合わせるインバータである。

【0025】次に、本実施例の動作に関し図4をも参照しつつ説明する。時点 t_0 において液晶表示装置のロジック電源 V_{CC} が投入されると、従来と同様に、液晶モジュールコントローラ12のパワーオンリセット端子

10

RSに数μs～数msのパルス幅のリセット信号がMPU(図示せず)側から供給され、液晶モジュールコントローラ12が初期化される。この初期化期間中、液晶モジュールコントローラ12から出力される各種信号は一般的に停止状態にある。この期間では強制ブランク表示信号DFF(バー)が低電圧レベル(以下、Lレベルと称する)であるから、液晶電源回路28はパワーオフの状態にあり、液晶駆動電源電圧 V_0 ～ V_5 は未発生状態である。したがって、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されている。

【0026】この期間が過ぎると、時点 t_1 で強制ブランク表示信号DFF(バー)がLレベルから高電圧レベル(以下、Hレベルと称する)に変化し、また液晶モジュールコントローラ12はフレームスタート信号SP, データ信号ラッチクロックLP及び交流化クロックFRを発生する。ここでまず走査ドライバ461の信号管理制御部471の動作について説明すると、信号遅延回路49の入力端子CKA1にはフレームスタート信号SPが供給され、また信号停止検出回路48の検出端子CKB1にはデータ信号ラッチクロックLPが供給されている。

【0027】データ信号ラッチクロックLPのHレベル期間においては、信号停止検出回路48のトランジスタTr1がオン状態でトランジスタTr2がオフ状態にある。従って、この期間ではキャパシタC11が充電される。データ信号ラッチクロックLPのLレベル期間においては、信号停止検出回路48のトランジスタTr2がオン状態でトランジスタTr1がオフ状態にある。従って、この期間ではキャパシタC11に充電された電荷の一部がキャパシタC12へ移入充電される。データ信号ラッチクロックLPの繰り返しパルスが発生するに伴いキャパシタC12の充電電圧が増大するので、インバータINV2の入力電圧が閾値VTH以下になり、時点 t_2 でインバータINV2の出力INVOUTがHレベルとなる。時点 t_2 以前においてはインバータINV2の出力INVOUTはLレベルであるので、信号遅延回路49のDフリップ・フロップ49aの出力QはLレベルであり、このため論理回路50の出力T1はLレベルである。ここで、出力INVOUTがHレベルになつても、その時点 t_2 では出力QはHレベルにならない。Dフリップ・フロップ49b, 49aの入力信号の遅延記憶作用でフレームスタート信号SPの1フレーム周期(T_F)～2フレーム周期($2T_F$)の間は、出力QはLレベルに維持されており、時点 t_3 で論理回路50の出力T1がHレベルになる。

【0028】走査ドライバ462における信号管理制御部472の信号停止検出回路482の検出端子CKB2にはフレームスタート信号SPが供給され、ま

(7)

11

た信号遅延回路49₂の入力端子CKA₂には走査ドライバ46₁のカスケード出力端子DOから到来するカスケード入力DI₂たるフレームスタート信号SPが供給されている。そして走査ドライバ46₁の論理回路50の出力T₁は走査ドライバ46₂の論理回路50へカスケード接続されている。信号停止検出回路48₂のキャパシタC₂₁はフレームスタート信号SPの繰り返しパルスによって充電される。また同様に、走査ドライバ46_nにおける信号管理体制部47_nの信号停止検出回路48_nの検出端子CKB_nには交流化信号FRが供給され、また信号遅延回路49_nの入力端子CKA_nには走査ドライバ46₂のカスケード出力端子DOから到来するカスケード入力DI_nたるフレームスタート信号SPが供給されている。そして走査ドライバ46₂の論理回路50の出力T₂は走査ドライバ46_nの論理回路50へカスケード接続されている。信号停止検出回路48_nのキャパシタC_n₂は交流化信号FRの繰り返しパルスによって充電される。被検出信号としてのデータ信号ラッチクロックLP、フレームスタート信号SP及び交流化信号FRの周期やデューティー比は異なるので、各走査ドライバにおいてインバータINV₁～INV_nの比較判定時点t₃などを一致させるためには、キャパシタC₁₁～C_n₁、C₁₂～C_n₂及び放電抵抗R₁～R_nの値(時定数)を相互調整可能としておくことが望ましい。そのために、本実施例では図1に示すように外付けのキャパシタ及び抵抗の接続外部端子が走査ドライバに設けられている。

【0029】このように、ロジック電源V_{CC}の投入時点t₀から論理回路の出力T₁～T_nがHレベルになる時点t₃までの期間において、各走査ドライバ及び信号ドライバの強制表示ブランク制御端子DF(バー)には、Lレベルの出力T_nが供給されているので、液晶表示パネル22はブランク表示状態にある。つまり、強制表示ブランク制御信号DF(バー)がLレベルであるときには、図3に示す強制ブランク表示制御回路46b、46dの制御によって走査電極駆動セル46の選択スイッチ46hのトランジスタF₁のみがオン状態で、走査電極には電圧V₅(0v)が印加されており、液晶電極間電圧(液晶印加電圧)は0vである。時点t₀～時点t₃の期間は液晶駆動禁止期間に相当している。時点t₁で液晶電源回路28がパワーオンされ、液晶駆動電圧V₀～V₅が発生し、これらの電圧は走査及び信号ドライバに供給されるが、電源立ち上げ時点においては、走査及び信号ドライバ内のシフトレジスタ等が不定状態にある。しかしながら、時点t₃まで液晶表示がブランク制御されているため、液晶パネルの異常駆動を回避することができる。

【0030】次に、時点t₃で出力T_nがHレベルになると、各走査ドライバ及び信号ドライバの強制表示

12

ブランク制御端子DF(バー)にはHレベルの電圧が供給されるので、走査ドライバ及び信号ドライバの通常動作によって液晶表示パネル22が交流駆動され、液晶パネル22には表示画面が描かれる。図4に示すBは液晶駆動期間を表す。時点t₁で液晶電源回路28と走査及び信号ドライバの論理部がパワーオンし、これより遅れた時点t₃で液晶表示パネル22が駆動される。従って、電源パワーオンが同時的に発生しないので、過大な電源ラッシュ電流が抑制されている。これは、信号停止検出回路48自体の遅延的動作に加えて、1～2フレーム周期の遅延時間を持つ信号遅延回路49の遅延作用が有効的に機能しているからである。

【0031】今ここで、この液晶駆動期間Bにおける時点t₄で、液晶モジュールコントローラ12側から送出されていたデータ信号ラッチクロックLPの出力がたとえば停止したとする。データ信号ラッチクロックLPの出力中は走査ドライバ46₁の信号停止検出回路48₁の第2のキャパシタC₁₂が充分に充電されているが、そのクロックLPが停止すると、第2のキャパシタC₁₂へは第1のキャパシタC₁₁側から電荷が転送されて来ないばかりか、第2のキャパシタC₁₂の電荷は放電抵抗R₁を介して所定の時定数で急速に放電し始め、インバータINV₂の入力電圧が徐々に上昇する。その入力電圧がその閾値V_{TH}を超えると、その出力電圧INV_{OUT}が時点t₅でLレベルとなる。この論理変化によって信号遅延回路49₁はリセットされ、その出力QはLレベルとなるので、強制表示ブランク制御信号DF(バー)はLレベルであるのにも拘わらず、論理回路50₁の出力T₁は時点t₅でLレベルとなる。この出力T₁は走査ドライバ46₂の論理回路50₂へカスケード入力されているため、フレームスタート信号SPが出力中でもその論理回路50₂の出力T₂はLレベルになる。更に、出力T₂は走査ドライバ46_nの論理回路50_nへカスケード入力されているため、交流化信号FRが出力中でもその論理回路50_nの出力T_nはLレベルになる。この出力T_nは液晶表示モジュール部46側での強制表示ブランク制御信号DF(バー)に相当しているので、強制表示ブランク回路46b、46dを使って液晶表示パネル22はブランク表示状態となる。つまり、図3に示す走査電極駆動セル46の選択スイッチ46hのトランジスタF₁のみがオン状態で、走査電極には電圧V₅(0v)が給電されるので、液晶電極間電圧は0vに維持される。このため、データ信号ラッチクロックLPが何らかの原因で停止した場合でも、液晶素子は直流成分で駆動されないので、液晶劣化が未然に防止される。また、フレームスタート信号SP又は交流化信号FRが何らかの原因で停止した場合も、出力T_nはLレベルになるので、同様にして液晶劣化が未然に防止される。なお、この液晶駆動禁止期間Aにおいてはフレームス

(8)

13

ート信号S P及び交流化信号F Rが継続している限り、第2のキャパシタC₂及びC_nは充電状態にあり、インバータINV₂、INV_nの出力はHレベルである。

【0032】時点t₆においてデータ信号ラッチクロックL Pが再度出現し始めると、前述したように、第2のキャパシタC₁が充電され、インバータINV₁の出力INV_{OUT}がHレベルになる。出力INV_{OUT}がHレベルとなった時点から1~2のフレーム周期の後、タイマーとして機能する信号遅延回路49₁の出力Qが時点t₇でHレベルとなる。これによって、論理回路50₁の出力T₁がHレベルとなると共にこれに連動して論理回路50₂、50_nの出力T₂、T_nがHレベルとなる。従って、液晶表示モジュール部22側の強制表示ブランク制御信号DF(バー)がHレベルに変わるために、液晶表示パネル22は液晶駆動期間Bに入る。

【0033】最後に、時点t₈で液晶表示コントローラ12側の強制表示ブランク制御信号DF F(バー)がLレベルになると、論理回路50₁の出力T₁がLレベルに変わるので、論理回路50₂、50_nの出力T₂、T_nもLレベルとなる。従って、液晶表示モジュール部20側の強制表示ブランク制御信号DF(バー)がLレベルとなり、液晶表示パネル22は表示オフ期間Cに入る。

【0034】

【実施例2】図5は本発明の実施例2に係る液晶表示装置を示すプロック図である。なお、図5において図1に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【0035】この実施例の液晶表示モジュール部70の走査電極駆動回路(Xドライバ)76を構成する複数の走査ドライバ76₁~76_nは実施例1の信号管理体制部と同様の信号管理体制部77₁~77_nを有しているが、図6に示すように、各信号管理体制部77₁~77_nには液晶駆動電圧V₀~V₅を生成すべき液晶電源回路28のパワーオン/オフのタイミングを制御する電源パワーオン/オフ制御回路78₁~78_nが付加されている。

【0036】電源パワーオン/オフ制御回路78₁~78_nは、論理回路50₁の入力端子S₁~S_nに入れる信号を反転させるインバータINV₃と、2段接続のDフリップ・フロップ78a、78bと、その出力Qと端子P₁~P_nから到来する信号との論理をとる論理回路78cとから構成されている。また各信号管理体制部77の信号遅延回路79は、実施例1に係る信号遅延回路49の2段接続のDフリップ・フロップ49a、49bに3段目のDフリップ・フロップ79cを追加接続した構成である。

【0037】第1の走査ドライバ76₁の論理回路7

14

8cの入力端子P₁にはロジック側電源電圧V_{CC}のパワーオン/オフ信号が供給されており、第2の走査ドライバ76₂の端子P₂には第1の走査ドライバ76₁における電源パワーオン/オフ制御回路78₁の出力PF₁がカスケード的に供給されている。また第nの走査ドライバ76_nの端子P_nには前段たる第2の走査ドライバ76₂における電源パワーオン/オフ制御回路78₂の出力PF₂がカスケード的に供給されている。そして、第nの走査ドライバ76_nの電源パワーオン/オフ制御回路78_nの出力PF_nは液晶電源回路28のパワーオフ端子POFF(バー)に供給されている。

【0038】液晶電源回路28は従来と同様な構成で、図7に示すように、V_{CC}(5v)電源電圧を基に昇圧した高電圧(20~40v)を生成する電圧変換回路28aと、パワーオフ端子POFF(バー)に供給される電圧値の如何でオン/オフする制御用のn p n型トランジスタ28bと、このトランジスタ28bのオン/オフ動作に連動してオン/オフするパワースイッチのp n p型トランジスタ28cと、そのコレクタと接地との間に介在する平滑コンデンサ28dと、その充電電圧から液晶駆動電圧V₀~V₅を出力する電圧分圧回路28eとを有している。

【0039】次に、上記実施例の動作に関し図8を参考しつつ説明する。時点t₀においてパワースイッチSWが閉成され、液晶表示装置のロジック電源V_{CC}が投入されると、実施例1と同様に、液晶モジュールコントローラ12のパワーオンリセット端子RSに数μs~数msのパルス幅のリセット信号がMPU側から供給され、液晶モジュールコントローラ12が初期化される。従って、液晶モジュールコントローラ12からの出力信号は一般的に停止状態にある。かかる期間において、ロジック電源電圧V_{CC}が第1の走査ドライバ76₁のAND回路たる論理回路78cの一入力に供給されているが、データ信号ラッチクロックL Pが未出現であるため、その出力PF₁はLレベル状態にある。この結果、第2の走査ドライバ76₂の出力PF₂もLレベルで、更に第nの走査ドライバ76_nの出力PF_nもLレベルであるから、液晶電源回路28のパワーオフ端子POFF(バー)はLレベル状態に維持されている。このため、図7に示すトランジスタ28bのベース電位はLレベル(0v)であるので、昇圧電圧は平滑コンデンサ28dへ供給されず、従って、液晶駆動電圧V₀~V₅は発生しない。実施例1と同様に、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されている。

【0040】次に、図8に示す如く、時点t₁で液晶モジュールコントローラ12から各種信号が生成される。強制ブランク表示信号DF F(バー)はLレベルからHレベルに変化し、またフレームスタート信号SP、

(9)

15

データ信号ラッチクロックLP及び交流化クロックFRが発生する。実施例1で説明したように、データ信号ラッチクロックLPの出現開始によってインバータINV2の出力INVOUTが時点 t_2 でHレベルとなる。このため、パワーオン/オフ制御回路78bの出力Qは時点 t_2 より1~2フレーム周期だけ遅れた時点 t_3 でHレベルとなるので、論理回路78cの出力PF1はHレベルとなる。これにより第2及び第nの走査ドライバ762, 76nの論理回路78cの出力PF1, PFは連動してHレベルになるので、液晶電源回路28のパワーオフ端子POFF(バー)はHレベルに付勢される。この結果、トランジスタ28bがオン状態になるので、トランジスタ28cのベース・エミッタ間抵抗の電圧降下によりそのトランジスタ28cもオン状態となり、平滑コンデンサ28dが充電され、液晶駆動電圧 $V_0 \sim V_5$ が発生する。時点 t_3 から次のフレームスタート信号SPが到来する時点 t_4 まではDフリップ・フロップ79cの出力QはLレベルのままである。この実施例における信号遅延回路791のDフリップ・フロップの段数はパワーオン/オフ制御回路781のそれに比して1段多いので、Dフリップ・フロップ79cの出力QはDフリップ・フロップ78bのそれより1フレーム周期 T_F だけ遅れてHレベルとなるからである。この結果、出力T1, T2, Tnは共にHレベルとなるので、実施例1と同様に、液晶表示モジュール部側の強制ブランク表示信号DF(バー)はLレベルからHレベルに変化し、これにより液晶表示パネル22の走査電極及び信号電極には駆動電圧 $V_0 \sim V_5$ が給電され、液晶表示モードに入る。

【0041】例えば、液晶駆動電圧 $V_0 \sim V_5$ の発生と同時に液晶表示パネル22が駆動されると、液晶表示パネル及び走査及び信号ドライバの電源部に大きな充電ラッシュ電流が惹起されてしまう。しかしながら、本実施例においては、時点 t_3 で液晶駆動電圧 $V_0 \sim V_5$ が発生してから、1フレーム周期 T_F 後に液晶駆動が開始されるため、電源部の時間差付勢によりラッシュ電流が分散でき、電源ダウンの防止と電源容量の軽減を図ることができ、液晶表示パネル及びドライバ等の保護に資する。また前述の電源制御はシステム側の開発コスト負担を軽減し、従来のシステム側とLCDモジュール間の信号配線を増加させずに済む。更に、電源容量の低減をもたらすため、安価な電源の使用が可能となる。次に、液晶駆動期間Bにおける時点 t_5 で、液晶モジュールコントローラ12側からの送出されていたデータ信号ラッチクロックLPの発振が停止したとすると、実施例1と同様に、インバータINV2の入力電圧が上昇し、その出力電圧INVOUTが時点 t_6 でLレベルとなり、出力T1, T2, TnもLレベルになる。この結果、液晶表示モジュール部側での強制表示ブランク制御信号DF(バー)がLレベルとなるので、液

16

晶表示パネル22はブランク表示状態となる。実施例1と同様の効果が発揮される。またインバータINV2の出力電圧INVOUTがLレベルになると、出力PF1, PF2, PFnも同時にLレベルとなり、液晶電源回路28のパワーオフ端子POFF(バー)がLレベルに変化して、液晶駆動電圧 $V_0 \sim V_5$ の発生が停止する。

【0042】時点 t_7 においてデータ信号ラッチクロックLPが再度出現し始めると、実施例1と同様に、インバータINV2の出力電圧INVOUTが時点 t_8 でHレベルとなり、また前述したように、この時点 t_8 から1~2フレーム周期後の時点 t_9 で出力PF1, PF2, PFnもHレベルとなる。この結果、液晶電源回路28のパワーオフ端子POFF(バー)がHレベルに変化するので、液晶駆動電圧 $V_0 \sim V_5$ が発生し、これらがドライバ側に印加する。そして、前述したように、出力T1, T2, Tnは時点 t_9 から1フレーム周期 T_F だけ遅れた時点 t_{10} でHレベルとなり、液晶表示パネル22の走査電極及び信号電極には液晶駆動電圧 $V_0 \sim V_5$ が給電され、液晶表示モードが再開される。

【0043】時点 t_{11} で液晶表示コントローラ12側の強制表示ブランク制御信号DFF(バー)がLレベルになると、出力T1, T2, TnもLレベルとなるので、液晶表示モジュール部70側の強制表示ブランク制御信号DF(バー)もLレベルとなり、液晶表示パネル22は表示オフ期間Cに入る。この時点 t_{11} から1~2フレーム周期後の時点 t_{12} でパワーオン/オフ制御回路781のDフリップ・フロップ78bの出力QがLレベルに変化し、出力PF1, PF2, PFnもLレベルとなる。この結果、液晶電源回路28のパワーオフ端子POFF(バー)もLレベルになるので、液晶駆動電圧 $V_0 \sim V_5$ の発生が停止する。このように、液晶表示コントローラ12側の強制表示ブランク制御信号DFF(バー)がLレベルになると、液晶駆動が停止した後、一定期間の経過後にドライバへの液晶電圧の印加がなくなる。このようなパワーオフ時のシーケンスによって、ロジック電源VCCや液晶駆動電源 $V_0 \sim V_5$ の電位関係が維持され、ドライバ内の寄生バイポーラ電流や貫通電流等が抑制され、液晶表示パネル及びドライバの保護を図ることができる。

【0044】本実施例においては、液晶モジュール側にクロックが供給された後に液晶電源回路28のパワーがオンとなり、またクロックの出力停止によって液晶電源回路28のパワーもオフとなる。このような電源付勢のオートシーケンスによって、ラッシュ電流が分散的ないし時間差的になるので、上述と同様に、液晶表示モジュールを構成する液晶パネル、ドライバや液晶電源回路の保護を図ることができる。

【0045】なお、上記各実施例においては、信号管理

50

(10)

17

制御部が走査ドライバLSIに作り込まれているが、これは信号ドライバLSIに比して入出力信号線の本数が少ないと表示領域が広いので、信号管理制御部を搭載する回路基板の面積余裕が大きいからである。また本実施例では単純マトリクス液晶パネルの表示装置について説明したが、本発明はこれに限らず、アクティブ・マトリクス型液晶表示装置に対しても適用することができる。かかる場合には、ゲートドライバLSI側に信号管理制御部を作り込むことが好ましい。その場合、クロックの停止時においてはすべてのゲートがオンするよう10にゲートドライバLSIを制御し、データ側でコモン側と同電位を出力するようにソースドライバが制御され、総ての画素電界が無印加状態になるように設定される。更に、本発明は、ディスプレイのみならず液晶光演算装置のように、広く液晶装置を用いた電子装置やプラズマ・ディスプレイのように、直流駆動により表示品質は劣化してしまう表示装置に適用可能である。

【0046】上記各実施例においては、液晶モジュールコントローラ12側からの供給される信号の異常を検出する手段と、その信号の異常状態を未然又は事後に除去する手段とが液晶モジュール側に設けられているが、これらの手段の一部構成要素を液晶モジュール側に設け、残る構成要素はシステム（コントローラ）側に設けた分担構成を採用しても良い。例えば、液晶パネルの直流ドライブを引き起こす可能性のある複数の信号（S P, L P, FR）は、周波数、パルスデューティーがそれぞれ異なるので、それらの信号を反一致ゲート（Exclusive ORゲート）を用いて单一のコンポジット信号に変換し、これをシステム側に送り返して判定回路で異常状態を監視し、その出力で異常状態を除去すると共に、LCDモジュール側とは別の表示体を用いてインジケータ表示を行うような構成を採用できる。また図1に示す実施例の走査ドライバ46nの端子T_nの出力をシステム側に戻し、ロジック系及び液晶系の電源を一定の手順（シーケンス）でオン／オフ制御する方式も採用できる。

【0047】また、液晶パネルを劣化させる別の原因としては、図7に示す液晶電源回路28における分圧回路28eの異常による液晶駆動電圧V₀～V₅の電圧値シフトや特定ドライバの出力不良などで液晶パネルが実効的な直流成分により駆動されて劣化することが考えられる。これらの異常も電源電流や電源電圧の変動として検出可能であるから、上述の異常除去手段により異常状態を除去することができる。

【0048】

【発明の効果】以上のように、本発明に係るフラット表示装置は、表示制御部からの転送される信号が発振停止した場合、表示体モジュール側の信号管理制御手段によって液晶の直流駆動が強制的に停止される。このため、直流駆動による表示体劣化を防止できる。また電源ラッ

18

シュ電流を軽減できる。本発明は液晶表示装置は勿論のこと、プラズマディスプレイ装置等に適用できる。表示体の表示品質や寿命等が駆動信号の異常によって修復不能な劣化を招くような表示装置に用いるのに適している。

【図面の簡単な説明】

【図1】本発明の実施例1に係る液晶表示装置の全体構成を示すブロック図である。

【図2】同実施例における各走査ドライバの信号管理制御部の構成とドライバ間の接続関係を示す回路図である。

【図3】同実施例における走査ドライバの走査電極駆動セルを示す回路図である。

【図4】同実施例の動作を説明するための液晶表示モジュール部における各種信号の関係を示すタイミングチャート図である。

【図5】本発明の実施例2に係る液晶表示装置の全体構成を示すブロック図である。

【図6】同実施例における各走査ドライバの信号管理制御部の構成とドライバ間の接続関係を示す回路図である。

【図7】同実施例における液晶電源回路の構成を示す回路図である。

【図8】同実施例の動作を説明するための液晶表示モジュール部における各種信号の関係を示すタイミングチャート図である。

【図9】従来の液晶表示装置の構成を示すブロック図である。

【符号の説明】

- 30 10…液晶表示制御部
- 12, 40, 70…液晶モジュール・コントローラ
- 20…フラット状の液晶表示モジュール部
- 22…液晶表示パネル（マトリクス液晶表示素子）
- 241～24m…信号電極ドライバ半導体集積回路
- 24…信号電極駆動回路（Xドライバ）
- 26, 46, 76…走査電極駆動回路（Yドライバ）
- 261～26n, 461～46n, 761～76n…走査電極ドライバ半導体集積回路
- 28…液晶電源回路
- 28a…電圧変換回路
- 28b…n p n型トランジスタ
- 28c…p n p型トランジスタ
- 28d…平滑コンデンサ
- 28e…電圧分圧回路
- 30…ケーブル
- 4611, 4612…走査電極駆動セル
- 46a, 49a, 49b, 78a, 78b, 79c…D型フリップ・フロップ

(11)

19

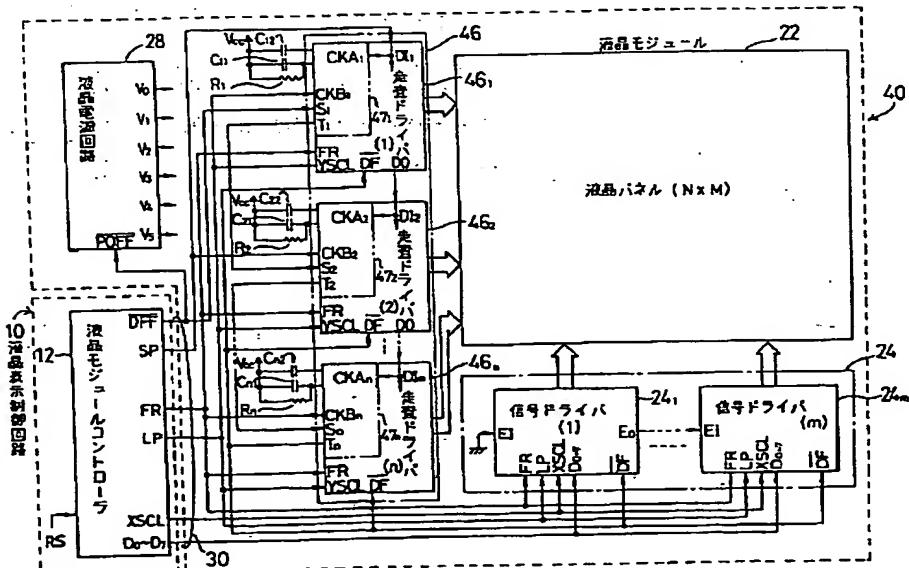
4 6 b … 行単位強制ブランク表示制御回路
 4 6 c … 行単位電圧レベルシフト回路
 4 6 d … 総行強制ブランク表示制御回路
 4 6 e … 電圧レベルシフト回路
 4 6 f … 正逆2相クロック生成回路
 4 6 g … 選択制御信号生成回路
 4 6 h … 選択スイッチ
 4 7, 4 7₁ ~ 4 7_n, 7 7₁ ~ 7 7_n … 信号管理制御部
 4 8 … 信号停止検出回路
 4 9, 7 9 … 信号遅延回路
 5 0 … 論理回路
 5 1 … シーケンス処理回路
 7 8₁ ~ 7 8_n … 電源パワーオン／オフ制御回路
 7 8 c … 論理回路
 T r₁ … 第1のN型MOSトランジスタ
 T r₂ … 第2のN型MOSトランジスタ
 I N V₁, I N V₂, I N V₃ … インバータ

20

C 1 1 … 第1のキャパシタ
 C 1 2 … 第2のキャパシタ
 R 1 … 放電抵抗
 A N D … アンド回路
 C K B₁ ~ C K B_n … 端子
 S₁ ~ S_n … 信号停止検出制御端子
 T₁ ~ T_n … 信号停止検出端子
 V₀ ~ V₅ … 液晶駆動電圧（基準電圧）
 D₀ ~ D₇ … データ信号
 X S C L … 画素クロック（シフトクロックパルス）
 Y S C L … 走査線同期信号
 L P … データ信号ラッチクロック
 F R … 交流化クロック
 D F (バー) … ディスプレイ・オフ信号（強制ブランク表示信号）
 S P … 走査スタートパルス（フレームスタート信号）
 P O F F (バー) … パワー・オフ端子

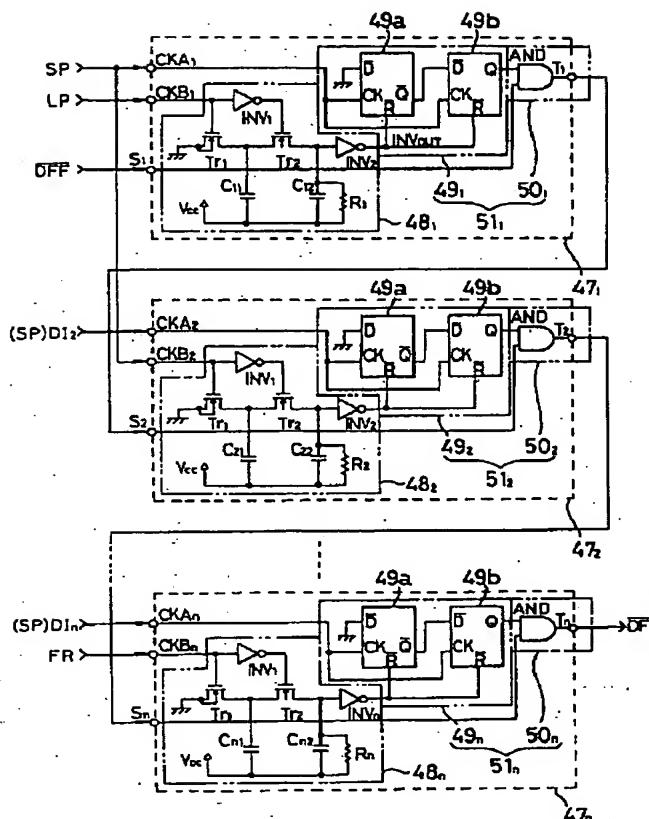
10

【図1】

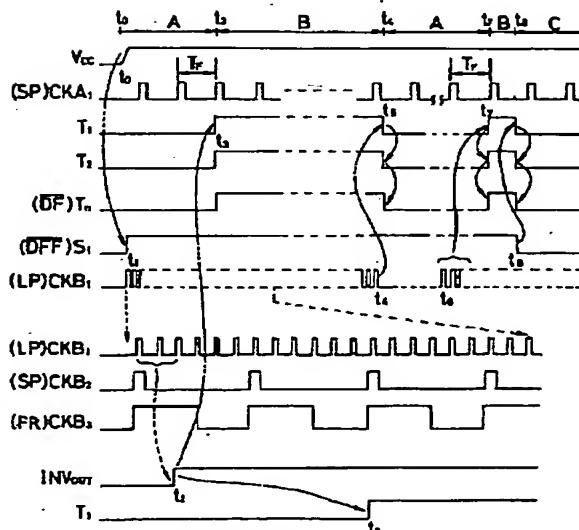


(12)

【図2】

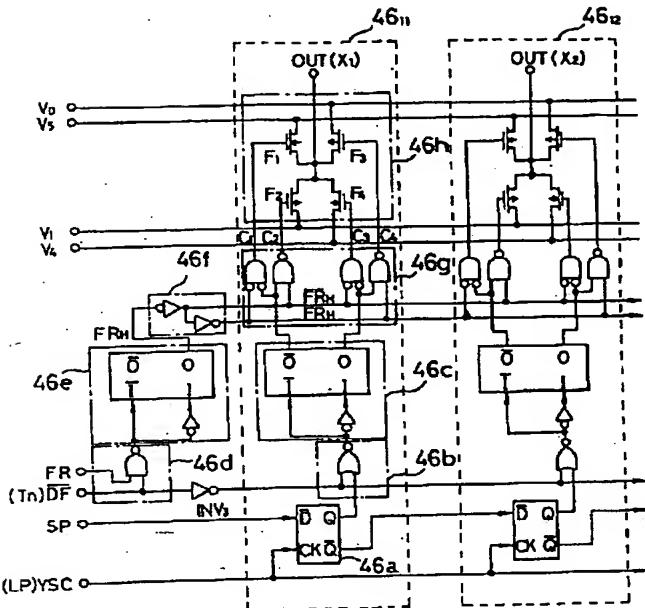


【図4】

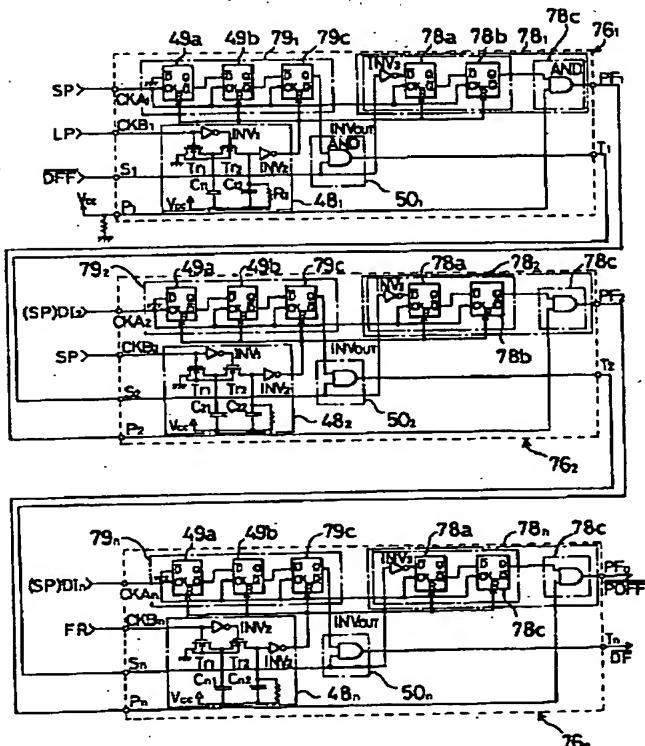


A : 沸騰駆動禁止時間
B : 沸騰駆動時間
C : 表示オフ時間

【図3】

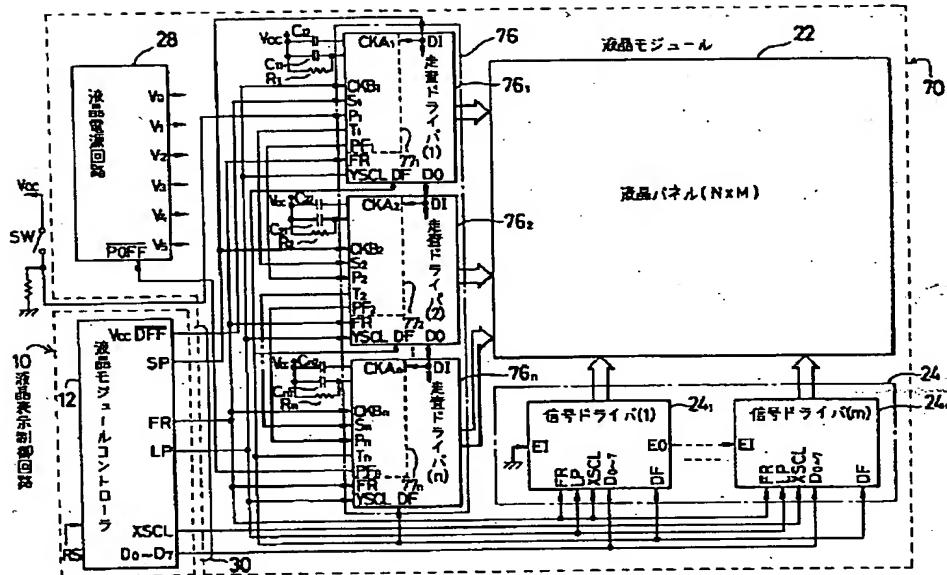


【図6】

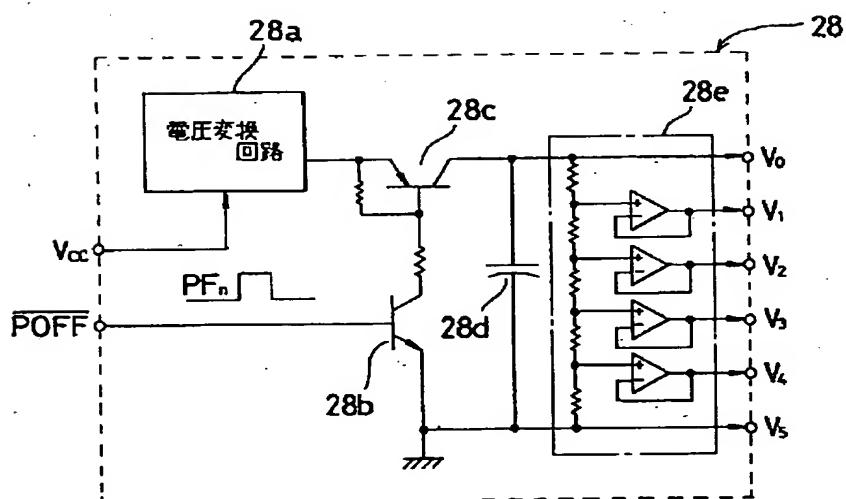


(13)

【図5】

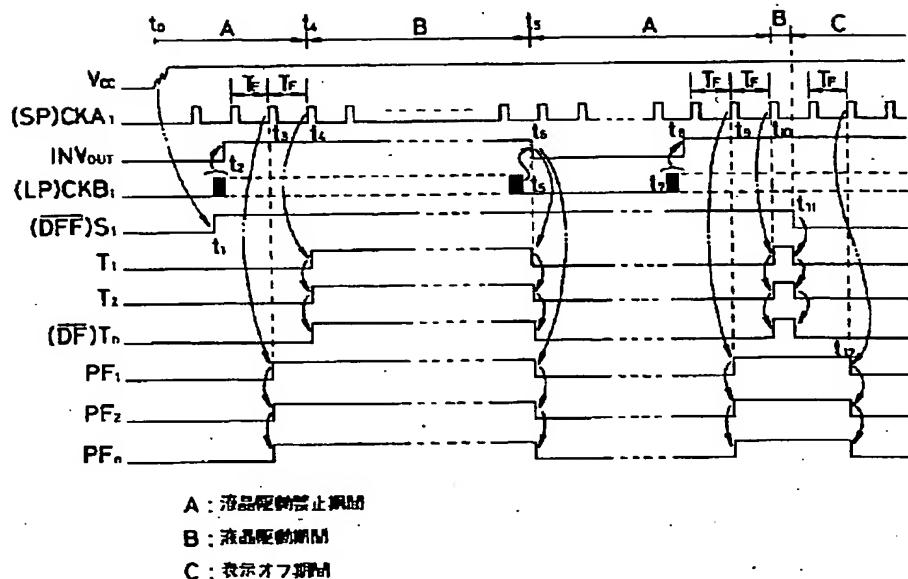


【図7】

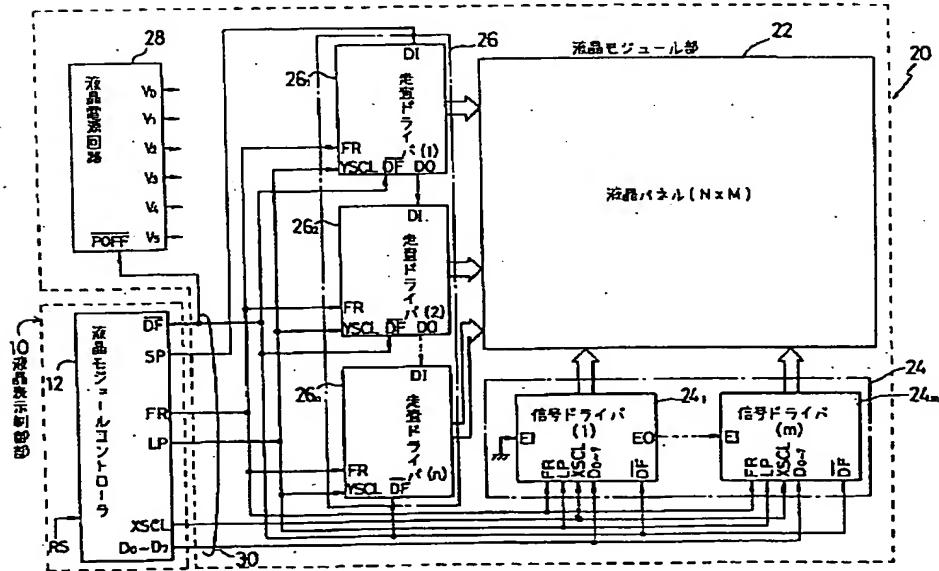


(14)

【図8】



【図9】



【手続補正書】

【提出日】平成13年3月16日 (2001. 3. 1)

6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】表示制御装置及び表示装置

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 表示体を駆動するための表示体駆動回路と、前記表示体駆動回路に表示のための電源を供給する表示体電源回路と、を制御するための表示制御装置であって、

前記表示制御装置の外部から入来する表示開始信号に基づいて、前記表示のための電源の供給を開始する信号を前記表示体電源回路に出力する手段と、

前記電源の供給を開始する信号出力の後、第1の時間の経過後に、前記表示体駆動回路から前記表示体へ駆動信号を供給開始する信号を前記表示体駆動回路に出力する手段と、

を備えたことを特徴とする表示制御装置。

【請求項 2】 表示体を駆動するための表示体駆動回路と、前記表示体駆動回路に表示のための電源を供給する表示体電源回路と、を制御するための表示制御装置であって、

前記表示制御装置の外部から入力される表示開始信号の入来から第2の時間の経過後、前記表示のための電源の供給を開始する信号を前記表示体電源回路に出力する手段と、

前記電源の供給を開始する信号出力の後、第1の時間の経過後に、前記表示体駆動回路から前記表示体へ駆動信号を供給開始する信号を前記表示体駆動回路に出力する手段と、

を備えたことを特徴とする表示制御装置。

【請求項 3】 表示用電源を供給する表示体電源回路を制御して表示体を駆動する表示制御装置であって、

前記表示制御装置の外部から入来する表示開始信号に基づいて、前記表示体電源回路に対して表示用の電源供給を開始させる信号を出力する手段と、

前記表示用の電源供給を開始させる信号出力の後、第1の時間の経過後に、前記表示体駆動回路から前記表示体へ駆動信号を供給開始する前記表示体駆動回路と、

を備えたことを特徴とする表示制御装置。

【請求項 4】 表示用電源を供給する表示体電源回路を制御して表示体を駆動する表示制御装置であって、

前記表示制御装置の外部から入力される表示開始信号の入来から第2の時間の経過後、前記表示体電源回路に対して表示用の電源供給を開始させる信号を出力する手段と、

前記表示用の電源供給を開始させる信号出力の後、第1の時間の経過後に、前記表示体駆動回路から前記表示体へ駆動信号を供給開始する前記表示体駆動回路と、

を備えたことを特徴とする表示制御装置。

【請求項 5】 表示体を駆動するための表示制御装置であって、

前記表示制御装置の外部から入来する表示開始信号に基づいて、表示のための電源の生成を開始する表示体電源回路と、

前記表示のための電源の生成開始の後、第1の時間の経

過後に、前記表示体へ駆動信号を供給開始する表示体駆動回路と、

を備えたことを特徴とする表示制御装置。

【請求項 6】 表示体を駆動するための表示制御装置であって、

前記表示制御装置の外部から入力される表示開始信号の入来から第2の時間の経過後、表示のための電源の生成を開始する表示体電源回路と、

前記表示のための電源の生成開始の後、第1の時間の経過後に、前記表示体へ駆動信号を供給開始する表示体駆動回路と、

を備えたことを特徴とする表示制御装置。

【請求項 7】 請求項1乃至6いずれかに記載の表示制御装置において、前記第1の時間は可変であることを特徴とする前記表示制御装置。

【請求項 8】 請求項1乃至6いずれかに記載の表示制御装置において、前記第2の時間は可変であることを特徴とする前記表示制御装置。

【請求項 9】 請求項1乃至8いずれかに記載の表示制御装置において、前記表示体は液晶表示パネルであることを特徴とする前記表示制御装置。

【請求項 10】 請求項1乃至8いずれかに記載の表示制御装置において、前記表示体はプラズマ表示パネルであることを特徴とする前記表示制御装置。

【請求項 11】 請求項1乃至10いずれかに記載の表示制御装置において、前記表示制御装置は半導体集積回路であることを特徴とする前記表示制御装置。

【請求項 12】 請求項1乃至11いずれかに記載の表示制御装置と、前記表示体を有する表示装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【発明の属する技術分野】この発明は、液晶表示（LCD）、プラズマ表示パネル（PDP）等のディスプレイやその応用装置に関係した表示制御装置及び表示装置に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】ところで、このような液晶表示体の直流駆動の問題を敷衍すると、液晶モジュール部側における信号異常の問題に一般化できる。また壁掛けテレビジョンを想定した場合、表示制御部と表示パネルとは遠隔配置にあることから、信号の停止もさることながら、信号レベルの減衰等や雑音の影響により表示品質劣化の問題も

(16)

提起される。また、液晶ディスプレイに限らず、スマート・ディスプレイにおいても問題となる。更に、電源付勢時等の表示開始に当たって所定のシーケンスを実現する手段を構成しないと、ラッシュ電流が集中すると共に、パネルの異常駆動も問題となる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】そこで、本発明の課題としては、上述の問題点に鑑みてパワーオン時等の表示開始時におけるラッシュ電流の集中や、パネルの異常駆動等を防止することが可能な表示制御装置及び表示装置を提供することにある。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】

【課題を解決するための手段】本願発明の表示制御装置は、表示体を駆動するための表示体駆動回路と、前記表示体駆動回路に表示のための電源を供給する表示体電源回路と、を制御するための表示制御装置であって、前記表示制御装置の外部から入来する表示開始信号に基づいて、前記表示のための電源の供給を開始する信号を前記表示体電源回路に出力する手段と、前記電源の供給を開始する信号出力の後、第1の時間の経過後に、前記表示体駆動回路から前記表示体へ駆動信号を供給開始する信号を前記表示体駆動回路に出力する手段と、を備えたことを特徴とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】また、表示用電源を供給する表示体電源回路を制御して表示体を駆動する表示制御装置であって、前記表示制御装置の外部から入来する表示開始信号に基づいて、前記表示体電源回路に対して表示用の電源供給を開始させる信号を出力する手段と、前記表示用の電源供給を開始させる信号出力の後、第1の時間の経過後に、前記表示体駆動回路から前記表示体へ駆動信号を供給開始する前記表示体駆動回路と、を備えたことを特徴とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】また、表示体を駆動するための表示制御装置であって、前記表示制御装置の外部から入来する表示開始信号に基づいて、表示のための電源の生成を開始する表示体電源回路と、前記表示のための電源の生成開始の後、第1の時間の経過後に、前記表示体へ駆動信号を供給開始する表示体駆動回路と、を備えたことを特徴とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】また、上記記載の表示制御装置において、前記第1の時間、第2の時間は可変であることを特徴とする。加えて、前記表示体は液晶表示パネルやスマート表示パネルで構成してもよい。載の表示制御装置において、前記表示制御装置は半導体集積回路に構成することをも特徴とする。上記記載の表示制御装置と、前記表示体を用いた表示装置を構成することもできる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【手続補正 13】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】削除

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】

【発明の実施の形態】

【実施例1】図1は本発明の実施例1に関係する液晶表示装置の全体構成を示すブロック図である。なお、図1において図9に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0025

(17)

【補正方法】変更

【補正内容】

【0025】次に、本実施例の動作に関し図4をも参照しつつ説明する。時点 t_0 において液晶表示装置のロジック電源 V_{CC} が投入されると、従来と同様に、液晶モジュールコントローラ12のパワーオンリセット端子RSに数 μs ～数 $m s$ のパルス幅のリセット信号がMPU(図示せず)側から供給され、液晶モジュールコントローラ12が初期化される。この初期化期間中、液晶モジュールコントローラ12から出力される各種信号は一般的に停止状態にある。この期間では強制ブランク表示信号DFF(バー)が低電圧レベル(以下、Lレベルと称する)であるから、液晶電源回路28はパワーオフの状態にあり、液晶駆動電源電圧 V_0 ～ V_5 は未発生状態である。したがって、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されると共に、液晶パネルの異常駆動も抑制されている。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】次に、時点 t_3 で出力 T_n がHレベルになると、各走査ドライバ及び信号ドライバの強制表示ブランク制御端子DF(バー)にはHレベルの電圧が供給されるので、走査ドライバ及び信号ドライバの通常動作によって液晶表示パネル22が交流駆動され、液晶パネル22には表示画面が描かれる。図4に示すBは液晶駆動期間を表す。時点 t_1 で液晶電源回路28と走査及び信号ドライバの論理部がパワーオンし、これより遅れた時点 t_3 で液晶表示パネル22が駆動される。従って、電源パワーオンが同時的に発生しないので、過大な電源ラッシュ電流が抑制されている。これは、信号停止検出回路48自体の遅延的動作に加えて、1～2フレーム周期の遅延時間を持つ信号遅延回路49の遅延作用が有効的に機能しているからである。パワーオン時等の表示開始時のシーケンスという観点でみると、図4には、時点 t_0 でロジック電源 V_{CC} の投入がされ、これを検出したMPUがパワーオンリセット信号を発生し(図示せず)、これに対応して時点 t_1 でDFF(バー)をHレベルとし、すなわち液晶電源回路28をオンにして液晶駆動電源電圧 V_0 ～ V_5 の生成を始め、所定の期間を経過した後の時点 t_3 で T_1 、 T_2 、 T_3 すなわちDF(バー)をHレベルとする、すなわち強制表示ブランク制御信号を解除して表示開始することが記載されている。このようなシーケンスを実現する手段を構成することにより、ラッシュ電流を分散し、また、液晶パネルの異常駆動を回避することができる。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】

【実施例2】図5は本発明の実施例2に関する液晶表示装置を示すブロック図である。なお、図5において図1に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】次に、上記実施例の動作に関し図8を参照しつつ説明する。時点 t_0 においてパワースイッチSWが閉成され、液晶表示装置のロジック電源 V_{CC} が投入されると、実施例1と同様に、液晶モジュールコントローラ12のパワーオンリセット端子RSに数 μs ～数 $m s$ のパルス幅のリセット信号がMPU側から供給され、液晶モジュールコントローラ12が初期化される。従って、液晶モジュールコントローラ12からの出力信号は一般的に停止状態にある。かかる期間において、ロジック電源電圧 V_{CC} が第1の走査ドライバ761のAND回路たる論理回路78cの一入力に供給されているが、データ信号ラッチクロックLPが未出現であるため、その出力PF1はLレベル状態にある。この結果、第2の走査ドライバ762の出力PF2もLレベルで、更に第nの走査ドライバ76nの出力PFnもLレベルであるから、液晶電源回路28のパワーオフ端子POFF(バー)はLレベル状態に維持されている。このため、図7に示すトランジスタ28bのベース電位はLレベル(0V)であるので、昇圧電圧は平滑コンデンサ28dへ供給されず、従って、液晶駆動電圧 V_0 ～ V_5 は発生しない。実施例1と同様に、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されると共に、液晶パネルの異常駆動も抑制されている。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】例えば、液晶駆動電圧 V_0 ～ V_5 の発生と同時に液晶表示パネル22が駆動されると、液晶表示パネル及び走査及び信号ドライバの電源部に大きな充電ラッシュ電流が惹起されてしまう。しかしながら、本実施例においては、時点 t_3 で液晶駆動電圧 V_0 ～ V_5 が発生してから、1フレーム周期TF後に液晶駆動が開始されるため、電源部の時間差付勢によりラッシュ電流が分散でき、電源ダウンの防止と電源容量の軽減を図ることができ、液晶表示パネル及びドライバ等の保護に資す

(18)

る。また、パワーオン時等の表示開始のシーケンスという観点でみると、図8には、時点 t_0 でロジック電源Vccの投入がされ、これを検出したMPUがパワーオンリセット信号を発生し(図示せず)、これに対応して時点 t_1 でDFF(バー)をHレベルとし、時点 t_2 を経た後、第1の期間TFを経過した後の時点 t_3 でPF1, PF2, PFnすなわちPOFF(バー)をHレベルとし、すなわち液晶電源回路28をオンにして液晶駆動電源電圧V0~V5の生成を始め、続いて第2の期間TFを経た後の時点 t_4 でT1, T2, TnすなわちDF(バー)をHレベルとする、すなわち強制表示ブランク制御信号を解除して表示開始することが記載されている。このようなシーケンスを実現する手段を構成することにより、ラッシュ電流を分散し、また、液晶パネルの異常駆動を回避することができる。更に、前述の電源制御はシステム側の開発コスト負担を軽減し、従来のシステム側とLCDモジュール間の信号配線を増加させずに済む。更に、電源容量の低減をもたらすため、安価な電源の使用が可能となる。次に、液晶駆動期間Bにおける時点 t_5 で、液晶モジュールコントローラ12側からの送出されていたデータ信号ラッチクロックLPの発振が停止したとすると、実施例1と同様に、インバータINV2の入力電圧が上昇し、その出力電圧INVOUTが時点 t_6 でLレベルとなり、出力T1, T2, TnもLレベルになる。この結果、液晶表示モジュール部側での強制表示ブランク制御信号DF(バー)がLレベルとなるので、液晶表示パネル22はブランク表示状態となる。実施例1と同様の効果が発揮される。またインバータINV2の出力電圧INVOUTがLレベルになると、出力PF1, PF2, PFnも同時にLレベルとなり、液晶電源回路28のパワーオフ端子POFF(バー)がLレベルに変化して、液晶駆動電圧V0~V5の発生が停止する。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】本実施例においては、液晶モジュール側にクロックが供給された後に液晶電源回路28のパワーがオンとなり、またクロックの出力停止によって液晶電源回路28のパワーもオフとなる。このような電源付勢のオートシーケンスによって、ラッシュ電流が分散的ないし時間差的になるので、上述と同様に、液晶表示モジュールを構成する液晶パネル、ドライバや液晶電源回路の保護を図ることができる。更に、表示オンシーケンスの開始を指示する信号DFF(バー)が供給された後に、液晶電源回路28のパワーをオンとし、続いて強制表示ブランク制御信号を解除して表示開始している。このようなシーケンスを実現する手段を構成することにより、ラッシュ電流を分散し、液晶パネルの異常駆動を回避することができる。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正内容】

【0048】

【発明の効果】以上のように、本発明の表示制御装置及び表示装置は、表示オンシーケンスの開始を指示する信号が供給された後に、液晶電源回路28のパワーをオンとし、続いて強制表示ブランク制御信号を解除して表示開始している。このようなシーケンスを実現する手段を構成することにより、ラッシュ電流を分散し、液晶パネルの異常駆動を回避することができる。本発明は液晶表示装置は勿論のこと、プラズマディスプレイ装置等にも適用できる。

フロントページの続き

(51) Int. Cl. 7

G 09 G 3/36

識別記号

F I

G 09 G 3/28

マークコード(参考)

J